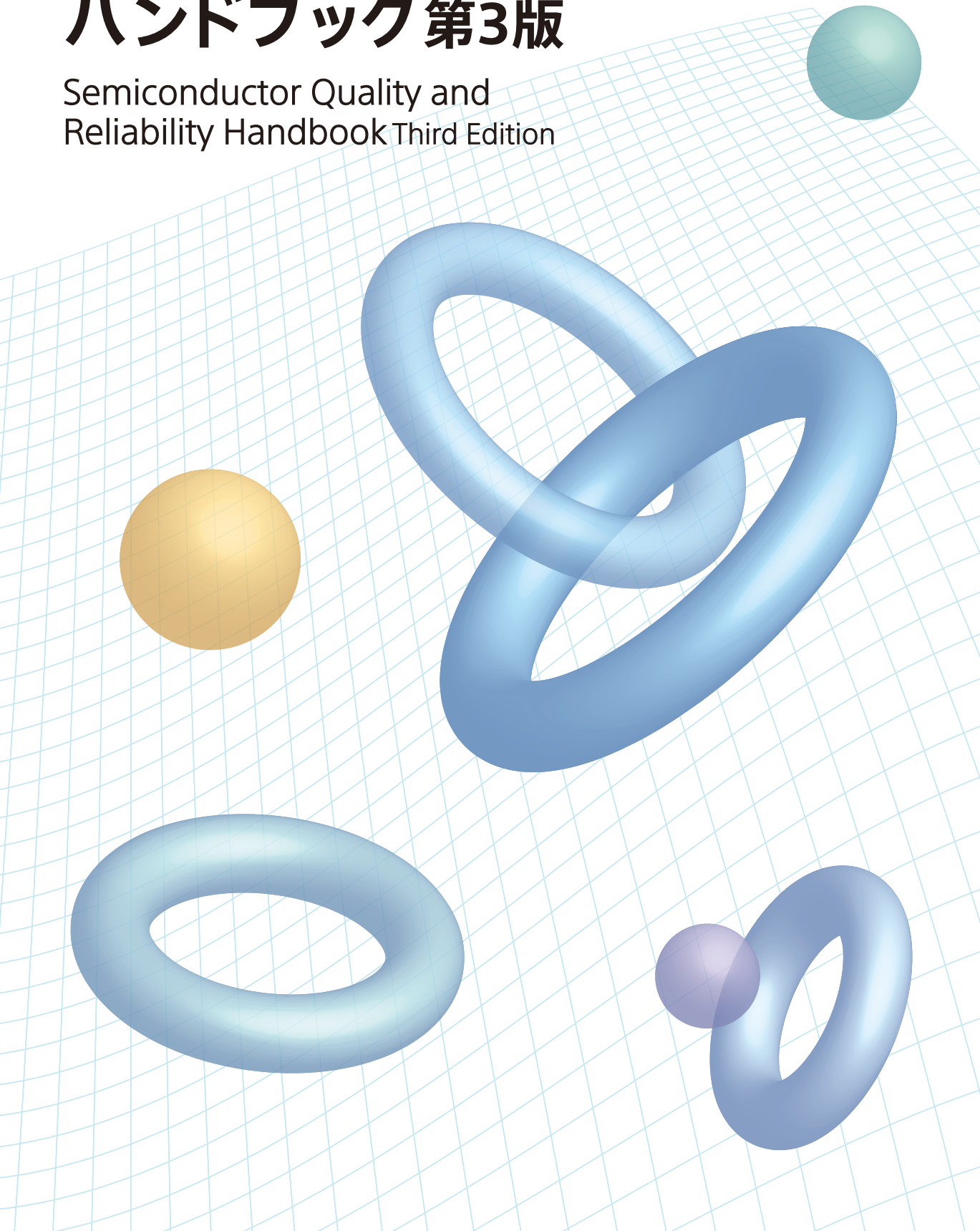
SONY

# 半導体品質・信頼性ハンドブック 第3版

Semiconductor Quality and Reliability Handbook Third Edition



平素は当社製品をご愛顧賜り厚く御礼申し上げます。

このたび当社製品の品質・信頼性の考え方、研究開発成果の一端をまとめた「ソニーセミコンダクタソリューションズ 品質・信頼性ハンドブック - 第３版」が完成致しましたので、ご案内申し上げます。

当社はあらゆる産業のキーテクノロジーの根幹となる半導体製品を、最高の技術を結集してお客様に提供しています。

お客様から信頼を頂けるデバイスメーカーであり続けるよう、商品企画から設計・製造・評価・サービスに至る全ての部門が一貫した品質マネジメント体制を通じて、高い製品品質・信頼性を確保すべく努力しております。

お客様に広く、当社の品質・信頼性の考え方と使用上の注意点をご紹介しご理解を頂くとともに、お客様の品質信頼性向上の一助として、本ハンドブックをご活用いただければ幸いに存じます。

2018 年 8 月

ソニーセミコンダクタソリューションズ株式会社

代表取締役社長　清水　照士

当社は最新のテクノロジーを用いた製品開発を通じてお客様のライフスタイルの発展へ貢献することを目的に事業活動を行っております。

自動運転への取り組み、IoT 技術の急激な進化といったライフスタイルの大きな変化にともない、製品に求められる品質信頼性は、これまで以上に大切になってまいりました。

このような背景のもと、私たちはオープンな考え方でお客様に貢献することを主軸として、品質・信頼性の向上に取り組んでおります。

今回、これらの取り組みをご紹介するとともに、品質信頼性視点で製品をより正しくお使いいただき、お客様の製品品質向上の一助となれるよう拙著を発刊するに至りました。

拙著を通じて品質信頼性でもお客様へ KANDO（感動）を提供するという、ものづくりに対する私たちのスタンスをご理解頂き、更なるご支援を頂ければ幸いに存じます。

2018 年 8 月

ソニーセミコンダクタソリューションズ株式会社

品質信頼性部門　部門長　杉本　大

© 2018 Sony Semiconductor Solutions Corporation

# 【本書の取り扱い上のご注意】

1. 本資料は、ソニーセミコンダクタソリューションズ株式会社（以下、当社といいます）製の半導体をご使用いただいているお客さま、およびご使用を検討されているお客さまに、当社における半導体の品質・信頼性維持、管理に関する取り組みをご紹介するとともに、当社半導体をご使用する際の一般的な注意点をご理解いただくことを目的として作成されたものです。本資料に記載された取り組みを、全ての当社半導体に対して一律に実施することを保証するものではありません。

2. 本資料は、お客さまと当社との間で取り交わされた契約や仕様書などに追加、または変更を加えるものではありません。本文中における「品質保証」は、半導体製品の品質・信頼性を維持、管理する目的で使用されており、契約における品質保証事項とは異なります。

3. 当社は製品の品質ならびに信頼性の向上に努めておりますが、半導体におきましても、ある確率で故障が発生することは避けられません。故障した結果として人身事故、火災その他社会的な損害などを生じさせないよう、貴社製品において冗長設計、延焼対策設計、誤動作防止設計などの安全設計を施されますよう、充分な配慮をお願いします。

4. 当社製品を用いて製造される貴社製品が、航空・宇宙機器、医療機器、車載機器、鉄道機器等の特別に高い品質・信頼性が要求され、生命・身体に危害をおよぼす恐れがある場合、または多大な物的損害を発生させる恐れの強い製品になると想定される場合には、必ず事前に当社販売窓口まで、ご相談いただきますようお願いします。

5. 当社製品を軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、該当する輸出関連法令にもとづく許可が必要です。

6. 本資料に掲載した技術資料は、使用上の参考として示したもので、ご使用に際し、当社および第三者の知的財産権その他の権利の実施、あるいは使用を許諾したものではありません。その使用に起因する権利の侵害については、当社は一切の責任を負いません。

7. 本資料の掲載内容は、改良などにより予告なく変更することがありますので、ご使用に際しては、最新の情報をご確認ください。

8. 本資料に掲載された内容を、当社に無断で転載または複製することを禁じます。

© 2018 Sony Semiconductor Solutions Corporation

# 総目次

1. 品質保証の取り組み

1.1 品質保証の考え方 ..... 1-2

1.2 品質保証システム ..... 1-5

1.3 委託先管理/物流品質 ..... 1-12

1.4 環境 ..... 1-17

1.5 安全 ..... 1-22

2. 車載用半導体の品質

2.1 当社における車載用半導体製品 ..... 2-2

2.2 車載品質フィロソフィ ..... 2-2

2.3 車載 QMS ..... 2-3

2.4 商品化開発 ..... 2-4

2.5 ゼロディフェクト ..... 2-4

2.6 統計的スクリーニング ..... 2-5

2.7 機能安全 ..... 2-6

2.8 品質測定、監視 ..... 2-6

2.9 問題解決 ..... 2-7

2.10 社内の車載教育 ..... 2-8

3. ソフトウェア品質

3.1 ソフトウェア品質への取り組み ..... 3-2

3.2 製品セキュリティへの取り組み ..... 3-7

4. 半導体デバイスの信頼性

4.1 半導体信頼性の基礎知識 ..... 4-3

4.2 半導体の信頼性検証 ..... 4-14

4.3 信頼性試験 ..... 4-30

4.4 加速モデル ..... 4-38

© 2018 Sony Semiconductor Solutions Corporation

5. 故障解析技術

5.1 故障解析とは ..... 5-3

5.2 故障解析技術の必要性 ..... 5-3

5.3 故障解析技術 ..... 5-4

6. 半導体デバイスの取り扱い上の注意

6.1 はんだ耐熱性 ..... 6-3

6.2 電気的破壊に対する取り扱い上の注意 ..... 6-8

6.3 機械的破壊に対する取り扱い上の注意 ..... 6-32

6.4 熱的破壊に対する取り扱い上の注意 ..... 6-35

6.5 製品仕様・梱包・運搬・保管上の注意事項 ..... 6-37

6.6 サーマルマネジメントについて ..... 6-45

7. 製品カテゴリーごとの注意

7.1 イメージセンサー ..... 7-3

7.2 レーザーダイオード ..... 7-9

7.3 LCD ..... 7-18

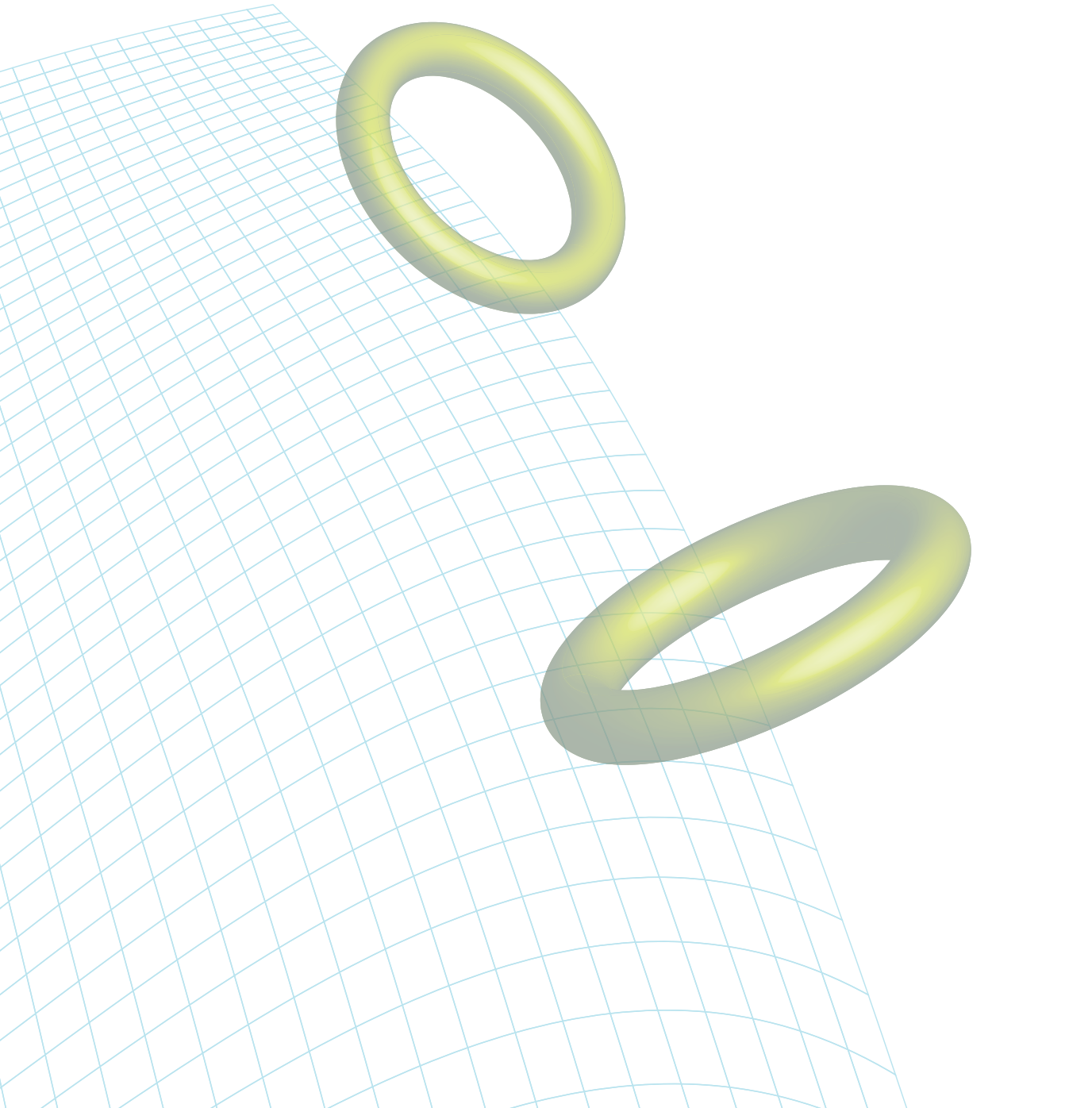
7.4 ベアダイの品質保証に関して ..... 7-22

7.5 製品名およびマークロットの表示 ..... 7-24

© 2018 Sony Semiconductor Solutions Corporation

# 第1章 品質保証の取り組み

Chapter 1 Approach to Quality Assurance



# 第 1 章　目次

1.　品質保証の取り組み
1.1　品質保証の考え方 ..... 1-2
1.1.1　基本方針 ..... 1-2
1.1.2　ISO9000 シリーズに基づく品質マネジメントシステムの運用 ..... 1-2
1.1.3　品質改善の手法 ..... 1-3
1.2　品質保証システム ..... 1-5
1.2.1　開発設計段階での品質保証 ..... 1-6
1.2.2　量産段階における品質保証 ..... 1-7
1.2.3　変更管理 ..... 1-9
1.2.4　購買品（材料・部品など）の品質保証 ..... 1-9
1.2.5　不具合対応 ..... 1-10
1.3　委託先管理/物流品質 ..... 1-12
1.3.1　委託先管理 ..... 1-12
1.3.2　物流品質 ..... 1-14
1.4　環境 ..... 1-17
1.4.1　環境への取り組み ..... 1-17
1.4.1.1　ソニーグループ環境ビジョン ..... 1-17
1.4.1.2　理念 ..... 1-17
1.4.1.3　基本方針 ..... 1-17
1.4.2　事業所における環境配慮 ..... 1-18
1.4.3　製品における化学物質の管理 ..... 1-19
1.4.3.1　ソニー独自の化学物質管理基準を全世界で展開 ..... 1-19
1.4.3.2　製品中の化学物質に対する規制に対応 ..... 1-20
1.4.3.3　製品に含まれる化学物質の管理に関する基本 3 原則 ..... 1-20
1.5　安全 ..... 1-22
1.5.1　安全への取り組み ..... 1-22
1.5.2　製品を安全に使用していただくためのお願い ..... 1-22

© 2018 Sony Semiconductor Solutions Corporation

# 1.1 品質保証の考え方

## 1.1.1 基本方針

当社では、ISO 9001 並びに IATF 16949 規格に準拠した品質保証システムを構築し、すべての事業部、間接部門、製造事業所で、「Quality First /自らの利益よりも Quality を優先する」という品質に関する価値観のもと、「ナンバー１ Quality（顧客満足業界ナンバー１と品質ロスの最小化）」を目指して各種品質改善活動を展開しています。

## 1.1.2 ISO9000 シリーズに基づく品質マネジメントシステムの運用

当社の品質方針は、品質に対する価値観・ビジョンの達成を基に次のように作成されています。

**品質方針**

**私たちは、**

**・Quality First/自らの利益よりもQualityを優先します。**
**・お客様との高い信頼関係を築くために、**
**No.1 Quality(顧客満足度No.1と品質ロスの最小化)実現を目指し、**
**事業環境に適した品質マネジメントシステムを継続的に改善します。**

ソニーセミコンダクタソリューションズ株式会社
ソニーセミコンダクタマニュファクチャリング株式会社
代表取締役社長　清水照士

2018年 4月1日

この品質方針に基づき、品質マネジメントシステムの維持管理およびプロセスの有効性の継続的改善活動、品質工学などの科学的手法に基づく改善活動を展開し、半導体製品の品質改善に努力を続けています。

当社は、「ナンバー１ Quality（顧客満足業界ナンバー１と品質ロスの最小化）」を目指して毎年度顧客満足および品質ロスに関するゴール指標を設定しています。その指標を達成するための各種改善指標と目標を定め、目標を達成するための各種改善施策を品質事業計画として定めています。

この品質事業計画の実行状況や目標達成度は、トップマネジメントにより定期的に実施される品質会議にて報告され、トップマネジメント自らがレビューしています。

© 2018 Sony Semiconductor Solutions Corporation

定期的な内部品質監査を実施し、製品実現の計画と実践が品質マネジメントシステムに適合していることを検証しています。

また、営業部署及び品質保証担当部署は、お客様とのコミュニケーション及び顧客満足度調査を実施して、当社製品の品質に関してお客様がどのように受け止めているのかの情報を入手しています。得られた情報は分析を行い、顧客満足向上の為の活動に役立てています。

### 1.1.3　品質改善の手法

(1) Sony Six Sigma

Sony Six Sigma とは、米国で開発された Six Sigma を基にして、製品品質のみならず全ての業務に適用できるように、ソニー流の Six Sigma として開発されたものです。Sony Six Sigma が大切にしている考え方は、以下の 5 つです。

- Customer Focus (Customer の視点で考え判断/行動)
- 全体最適と重点思考
- 結果のみならずプロセスにフォーカスしてバラツキを改善する
- 事実とデータを基に客観的に判断する。
- 投資対効果を明確にする

Sony Six Sigma の基本的アプローチは、

Define（定義）- Measure（測定）- Analyze（分析）- Improve（実行）-Control（標準化)、略して DMAIC になります。

“Define”で正しく課題を［定義］し、“MAIC” で課題を［解決］します。

当社は Sony Six Sigma 手法を展開し、「経営クオリティ」の継続的向上を目指し活動しています。

(2) 品質工学

品質工学とは、高品質と高生産性を同時に実現するための具体的な技術的方法論であり、その中心的な方法は機能性の評価とその改善方法です。技術領域において Six Sigma アプローチの Measure、Analyze、Improve を実行する方法ともいえます。

機能性の評価とは、製品やシステムの本来のはたらき(機能)を技術の本質としてとらえ、機能とその安定性を評価するものです。製品やシステムの機能とは、エネルギーを変換して目的を達成することです。例えばイメージセンサーの機能は、光エネルギーを電気エネルギーに変換することであり、機能が十分に発揮されていれば、必然的に複数の品質特性も改善

© 2018 Sony Semiconductor Solutions Corporation

されると考えます。機能性の評価では、お客様の使用条件や環境条件などの違いといった誤差因子による機能のばらつきを、SN 比という尺度で表現します。SN 比は、機能を表す有効なエネルギーと、誤差因子による機能のばらつきのエネルギーの比により算出します。SN 比は、多くの品質特性を効率よく改善させるための指標と言えます。

機能および機能性は、様々な技術、材料、サイズ、作り方などをうまく選択し、組み合わせることにより向上させることが出来ます。これらの選択に用いるものを制御因子と呼んでいます。制御因子は、我々生産者が法律の範囲内で自由に選択できるものです。製品や製造プロセスの開発設計は、制御因子をうまく組み合わせて機能と機能性を高めることに他なりません。パラメータ設計とは、これらの制御因子の組み合わせを検討することです。制御因子の組み合わせ数は非常に多いので、一般的には直交表などの実験計画を用いてパラメータ設計を効率よく行います。

パラメータ設計では、実験計画を用いることにより、制御因子のうまい組み合わせによる機能や機能性の改善だけでなく、改善に効果のある制御因子を明らかにすることが出来ます。特に機能性、すなわちばらつきの改善に効果のある制御因子を開発設計段階で把握することは、市場や生産での安定性確保における大きな武器となります。

品質工学の活用により、製品企画に先行させて、製品やシステムに使う技術の善し悪しや、技術の限界を短期間で評価できるので、開発効率向上による大幅な開発期間の短縮が図れます。また、技術の基礎体力が向上するので、同じ技術を使う類似製品や次の新製品開発にも素早く対応できるようになります。さらに、お客様の使用条件や環境条件の影響などの誤差因子に対して、本質的に強靭な技術にできるので、市場や生産における不具合の未然防止につながり、たとえ不具合があったとしても、その要因を開発設計段階で明らかにしているので、お客様への迅速な対応につながります。

### (3) 故障モード影響分析（FMEA：Failure Mode and Effect Analysis）

故障モード影響分析（FMEA）は、デバイスまたはプロセスに潜在する故障モードに伴うリスクの確認と評価を行います。リスクを確認することによって、決定的な障害をなくす、あるいは減らすために何が必要かを体系的に洗い出し、最適な設計を行います。車載用半導体製品の問題解決に用いる 8D Method においても FMEA 手法を用いています。

© 2018 Sony Semiconductor Solutions Corporation

# 1.2　品質保証システム

お客様のニーズに合致した品質・信頼性を有する製品をタイムリーに提供するために、当社では、商品の企画構想段階から開発・設計・試作・評価・量産・出荷・出荷後の活動に至るまで、すべての組織が一貫した品質保証体制のもとで活動しています。

図 1-1 に当社の品質保証体系図を示します。

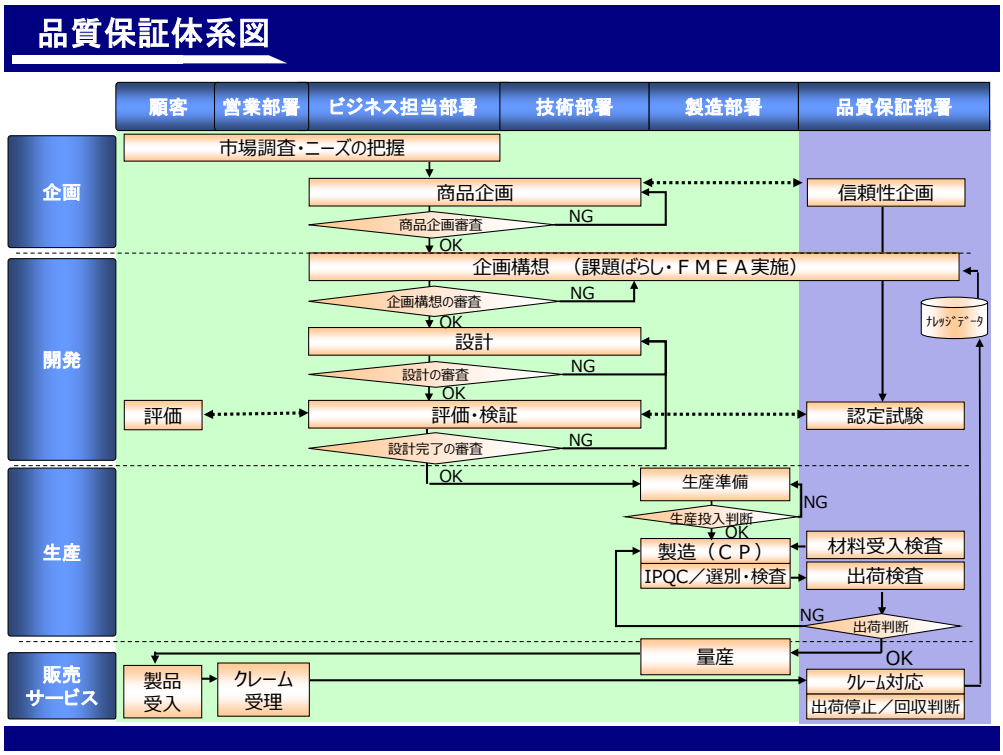



図 1-1　品質保証体系図

© 2018 Sony Semiconductor Solutions Corporation

### 1.2.1　開発設計段階での品質保証

当社では、お客様および市場からの要求事項に合致した均質で魅力のある製品をお客様に提供することを目的に、開発設計プロセスにおけるルールを定めて、これに基づき業務を実施しています。

**(1)　商品企画**

個々のお客様の使用目的、使用条件、要求される品質信頼性のレベルや、市場における技術動向、要求性能、納期、価格、品質、信頼性などの市場調査活動から商品の開発プランとして商品企画を行います。

**(2)　企画構想**

商品企画の結果や当社内で蓄積された品質・信頼性実績、信頼性技術の基礎研究から得られた各種データをもとに、製品の用途や使用環境に応じた適切な品質目標および信頼性目標を設定し、開発計画を策定します。また、これらの品質信頼性情報をもとに製品要求事項を含む設計開発プロセス全体の計画をまとめ、設計へのインプットとしています。この段階で品質保証部署を含む関係者が FMEA を実施し、リスクの確認と評価を行います。

**(3)　設計**

半導体デバイスの高信頼性を確保するうえで設計はきわめて重要な工程です。設計は製品要求事項に基づき、製造工程でのバラツキを許容できるような広い設計余裕度をもって次のように行います。

・ 最新要求事項把握

最新の要求事項を把握し、設計変更に該当する場合には計画立案時からの変化点を明確にして、最新の要求事項として可視化（文書化）し、共有します。また、過去の振り返り分析の結果がある場合、要求事項として把握します。

・ 計画立案

要求事項を基に具体的な計画にブレークダウンします。要求事項などに変更があった場合には、計画見直しの必要性を検証し、見直しが必要な場合は適宜更新し、最新版の計画を可視化（文書化）し計画変更が影響を与えるすべての関係者と共有しています。また、計画にはリスク対応策が含まれています。

・ 実行

目標を達成するまで各計画に従って業務を実行します。

・ 進捗管理

計画の進捗を管理し、期待どおりの成果を得られるように達成状況のレビューを行い、適宜問題への対処を行います。

© 2018 Sony Semiconductor Solutions Corporation

(4) 評価検証

設計成果物が製品要求事項を満たしていること（検証)、意図される用途・目的を達成していること（妥当性確認）を確認します。この妥当性確認には当社の品質保証担当部署が実施する信頼性認定試験が含まれており、お客様の立場にたって信頼性の確認を実施しています。これら検証および妥当性確認が完了したのち、お客様への出荷を開始します。

(5) デザインレビュー

設計結果と、設計のインプットである設計仕様への遵守状況のチェックをデザインレビューとして行います。このレビューは必要に応じて設計の途中段階でも行われ、その結果を設計にフィードバックすることにより、設計における品質の向上を行っています。

デザインレビューは、回路設計・レイアウト設計・ウエーハプロセス設計・組み立てプロセス設計などの各設計時に、守るべきルールである設計基準が遵守されているかのチェックと、技術的有識者による徹底的な設計内容の検討を行います。さらに関係する部門の有識者により、過去のトラブル事例やそれぞれの固有技術の観点から設計内容を審議します。これらのデザインレビューにより、試作後、および量産後の不具合/トラブルを回避し、要求に合致した目標性能と品質信頼性を製品に作り込みます。

### 1.2.2 量産段階における品質保証

(1) 製造における工程品質管理

お客様のニーズに合致した高信頼性で高品質な製品をタイムリーに提供するために、最新の販売計画に基づき作成された生産計画・出荷計画・材料購入計画に対して関連部門が能力検証を行い、生産を行っています。

品質は製造工程で作り込むというコンセプトのもと、開発設計部署から提示された各種図面をもとに決定された製造条件をコントロールプラン（工程フロー、使用装置、装置取り扱い手順、作業条件、作業方法、使用部材、部材取り扱い方法、各種 QC 項目と管理基準、検査基準、異常の定義とその対処方法を記載または体系化したもの）に定め、文書化し、これらを用いて各種製造作業を行っています。また、品質信頼性に重大な影響を及ぼす重要な管理項目については、SPC(Statistical Process Control;次頁(3) 参照）手法などを用いて変化点を捉え、品質の安定化と異常の早期発見・未然防止に努めています。

また、部材の購入から、製造工程の品質管理、検査、入庫、お客様への出荷情報などの品質に関する必要な情報は、データ収集システムにより管理・分析され、品質改善に役立てられています。

© 2018 Sony Semiconductor Solutions Corporation

また万が一トラブルが発生した場合でもその波及範囲を迅速に特定することに利用されています。

製造工程にて異常が発生した場合は、異常発生報告書が発行され、担当の技術部門で内容を調査し、必要に応じた是正処置を行い、再発防止を行っています。

このようにして製造された製品は、最終検査工程で製品仕様および顧客要求を満たしているかがチェックされ、適合品のみがお客様へ出荷されます。

### (2) 委託先の工程品質管理

製造工程の一部を委託する場合においても、製品品質、工程管理、品質改善活動、異常発生処置など、自社ラインと同じ考え方に基づき品質保証活動を推進し、製品品質の維持向上、異常発生の未然防止に努めています。

委託生産開始時には品質保証担当部署のメンバーを中心とした専門家による製造ライン監査を行い、問題がないことを確認しています。

また、自社生産品と同一の信頼性評価を行い、問題がないことを確認しています。

### (3) 統計的プロセス管理（SPC）

製造工程は、チェックシート、グラフ、管理図などで管理されますが、特に管理図は各工程で連続的に工程品質の変化を監視し、異常に対して的確にアクションをとるため有効な手法として活用されています。

管理図は、一定の範囲の工程データのばらつきから、通常発生するデータの範囲を示す管理限界を設定し、測定データをチャート上に記入したものです。

プロセスのばらつきに通常と異なる要因が入ってくると、管理限界線から外れたデータが出てくるため、プロセスの変化を早期に検出するのに有効です。管理限界外れのほかにも、データの上昇・下降傾向などからプロセスの変化を検出することができます。このように管理図などの統計的手法を活用し、品質を左右するばらつきを定期的に把握し、分析して品質の改善に役立てています。

また、お客様の要求する特性項目の他にも、デバイスの品質信頼性に影響する項目や不良メカニズムと相関のある項目などに基づいて重点管理項目を決め、これに基づき各工程能力指数（Cp、Cpk）を算出し、工程能力指数レベルが低い項目については工程改善を行い、さらに高水準の値を実現することで安定した品質を目指しています。

### (4) 計測器の管理と環境の管理

半導体の開発設計および生産においては、計測器が常に正常な状態で必要な精度内で動作することによって、製品の性能や品質の確保と向上が実現します。計測器の精度管理については、購入時の受け入れ検査、使用時の定期点検により精度を確認、定期的に校正を実施す

© 2018 Sony Semiconductor Solutions Corporation

ることで故障や精度の低下などを未然に防止する予防保全体制を確立しています。

環境は、半導体デバイスの品質信頼性に著しく影響を与えます。製造プロセス、微細加工のレベルに対応し、温度・湿度・塵芥などについて管理項目・管理方法・管理基準などを設定し、集中監視システムなどを設置して環境を維持管理しています。また、製造におけるハウスラインで使用している、純水・ガス・化学薬品なども比抵抗や純度などを監視することにより、その品質を維持管理しています。

**(5) 製品のトレーサビリティ**

お客様に出荷した製品のトレーサビリティは、最終製品に捺印されたマークロットナンバーをキーとして、このマークロットナンバーと使用部材ロット、製造履歴が紐付けされています。また、出荷梱包箱に貼り付けられているラベルに、同梱されている製品の製品名およびマークロットナンバーが記載されていますので、梱包状態でも製造履歴へのトレースが可能となります。

## 1.2.3 変更管理

半導体製品は、機能向上・品質信頼性の改善・生産性の向上などを目的として、製品あるいは製造工程の変更が行われます。これらの変更が及ぼすあらゆる面でのマイナス影響がないことを確認して、変更の可否判断を行います。また変更に対しては、計画された段階で関連するすべての部門で審議を行い、技術的に影響があると考えられる項目の必要かつ最適な評価計画を立て、試作などによって確認を行います。この変更が製品に及ぼす影響が大きい場合は、これらの評価結果をもとにお客様への事前連絡をとり、お客様での影響がないことを確認しています。

すべての確認項目が完了した後に変更を実施します。

## 1.2.4 購買品（材料・部品など）の品質保証

半導体デバイスの高信頼性化、高密度化に伴い、購買品への品質要求はより高度化してきています。半導体デバイスの品質保証のためには、購買品の品質確保が重要であることはいうまでもありません。当社では購買品における、取引先の評価選定・登録から、ライン認定、仕様書取り交わし、受け入れ検査、材料・部品の保管管理などの仕組みを文書化し、それに基づいて品質保証活動を推進しています。

**(1) 評価選定・登録**

購買部門が中心となり技術部門・品質保証部門と協業して、購買品に必要とされる機能・性能をもとに「経営状況」「CSR（法令順守を含む企業の社会的責任）」「環境配慮（ソニーグ

© 2018 Sony Semiconductor Solutions Corporation

リーンパートナー制度の適用)」「技術対応力」「コスト」「品質」「供給能力」を評価し、新規取引先の選定を行い、基準に合致した取引先を登録します。

(2) ライン認定

購買部門、品質保証部門、技術部門が中心となり「品質マネジメントシステム」「工程品質管理」「技術対応力」を審査し、所定の基準に合格した取引先のラインを認定します。

(3) 仕様書取り交わし

購買品の評価（機能特性や品質信頼性）完了後、技術部門が仕様書を作成し、購買部門が購買先と取り交わした後、購買品ごとに固有ナンバーを付与し、登録／管理します。

(4) 取引先の監視および管理

購買部門が、継続的に取引を行う取引先に対して、関係する部門から QDCS 実績に関わる情報を入手し、取引先を定期的に評価します。この評価結果に基づき、取引先に対して適切な指導を行い、購買先の品質改善活動を加速させています。

(5) 購買品の変更管理

購買品の変更については当社が申請を受け付けた後、技術部門や品質保証部門などの関係する部署が検証を行います。検証の結果が問題ない場合のみ変更が実施されます。変更に伴うトレーサビリティは確実に確保されます。

### 1.2.5 不具合対応

お客様にて発生した不具合については、特約店または営業部門を経由して品質保証部門が受け付けます。不具合品の調査および解析とその結果のフィードバックは、お客様に対する責務・サービスであると同時に、製品品質を改善するための貴重な情報となります。

不具合品の調査結果と対策内容は、文書での報告にて、また状況に応じて直接お客様を訪問して、ご理解頂けるように努めています。

(1) 不具合情報

不具合発生に的確かつ迅速に対処するためには、提供して頂く情報が正確で多いほど、調査・解析が進めやすくなります。そのため、不具合品を調査依頼される場合には、不具合内容・発生工程・電気的/機械的/熱的ストレス印加履歴、ロット依存性、発生率、周辺回路の状況、アプリケーションなどの詳細な情報のご提供をお願いしています。特にリード曲がりや梱包不良（現品相違、異品種混入など）の場合は、発生時点でのより詳細な情報が必要となります。

© 2018 Sony Semiconductor Solutions Corporation

### (2) 不具合サンプルの返却

不具合サンプルは可能な限り発生時点の症状を保った状態での返却をお願いします。返却する際にはハンドリングおよび輸送中のストレスの影響で不具合の状態が変化しないように、外部ストレス（電気的、熱的、機械的、静電気）を避けるための最適な処置をお願いしています。

### (3) 是正処置

不具合品の調査・解析結果により原因を特定し対策を実施するとともに、再発防止として該当するプロセスにおける品質マネジメントシステムの是正処置を実施しています。

© 2018 Sony Semiconductor Solutions Corporation

# 1.3　委託先管理/物流品質

## 1.3.1　委託先管理

当社では、お客様が要求する高品質・高信頼性の製品を提供するために、以下の委託先選定、委託先管理プロセスを実行することにより、委託業務の品質向上及び、委託先から提供される成果物の品質確保に努めています。

### (1)　委託先選定

新規委託先選定事案の発生に基づき、委託業務責任部署は、対象となる委託先に関して、実績調査・業界動向調査など情報収集を行い、委託可能な候補を選定致します。次に委託する案件に応じて、品質・ビジネス・技術・購買を担当する部署と委託先の調査・情報収集・分析し、各担当部署の評価結果に基づき、総合的判断のもと、最適な委託先を決定しております。(図 1-2　委託先選定フロー参照)

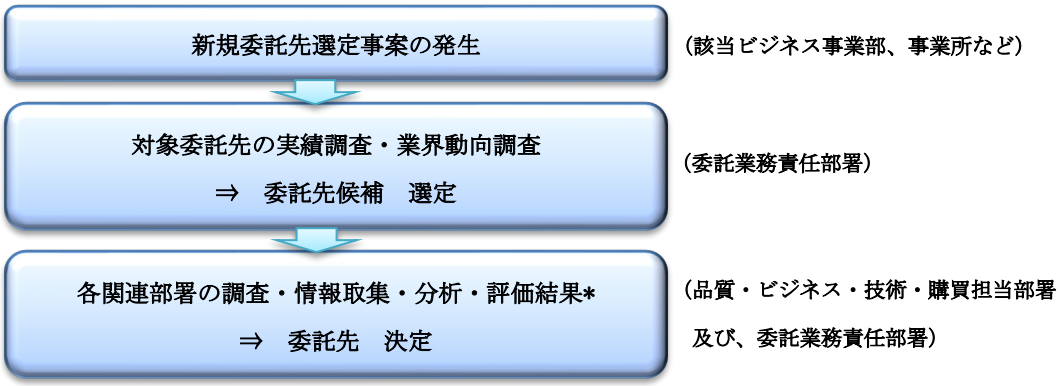



図 1-2　委託先選定フロー（例）

＊委託先評価項目（例）

1) 経営状況・監査の受け入れ可否・CSR(Statistical Process Control)への対応状況

2) グリーン調達のための環境管理能力（当社グリーンパートナー認定の取得有無確認）

3) 委託する業務の品質保証能力（ライン認定の取得状況確認）

4) 委託する業務の遂行技術力・委託業務量の対応能力

© 2018 Sony Semiconductor Solutions Corporation

### (2) 委託先管理

① 委託先管理

当社では、注文書に定めた通りの成果物が納品されるように委託先に対する管理（進捗、品質、納期、リスク、改善など）を行っています。委託先の管理の程度及び方法は、案件毎に委託先の品質レベル、過去の品質問題発生状況、製品の品質への影響度などを考慮して委託業務責任部署が下記を参考に決定しています。

（図 1-3　委託先管理例 参照）

1) 委託先の成果物の品質確保及び計画された業務を実施するための管理指標による監視及び測定
2) 定期的な委託先との打ち合わせ実施による委託先の品質状況確認
3) 委託先からの定期的なレポートの提出による品質状況確認
4) 委託先に出向き、現場指導及び品質情報確認
5) 委託先からの成果物の検証で品質を確認

② 委託先の継続取引先評価

委託先の業務プロセス及び成果物の品質確保を目的として、委託業務責任部署は品質・技術・購買を担当する部署と協業して、委託先の実績評価を年１回実施しております。評価項目は委託業務責任部署が以下を参考に決定しています。

1) 経営状況（経営状況変化に伴う調達環境の変化含む）
2) 品質状況（製品品質、設計品質、製造品質、など委託する案件に応じた品質の状況。技術力含む）
3) 納期達成状況
4) コスト及びコストダウン状況

③ 変更管理

委託業務責任部署は、委託先に仕様の変更を要請する場合、または委託先から変更の要請があった場合、関連部署（品質・技術など）と協業し、当該変更が製品の品質及び製品環境適合に悪影響を及ぼさないよう、変更に対して充分な評価を実施し、変更導入の可否を判断しております。

© 2018 Sony Semiconductor Solutions Corporation

図 1-3　委託先管理（例）

## 1.3.2　物流品質

当社は、製造事業所で造り込まれた製品品質(梱包仕様を含む)をお客様に提供するために、物流過程において、デバイス営業部門、品質信頼性部門、販売会社・特約店、及び物流拠点が一体となって物流品質保証の取組みを行っています。

### (1)　物流品質保証の基本

図 1-4 に物流品質保証体系の概要を示します。

物流品質の責任はデバイス営業部門に帰属し、その管理下にある販社・特約店が物流品質責任者を設け、実質的な物流拠点の品質管理を担っています。また、品質保証に関する権限を委譲された品質信頼性部門が、物流品質認定を主とする物流品質の監視を担っています。

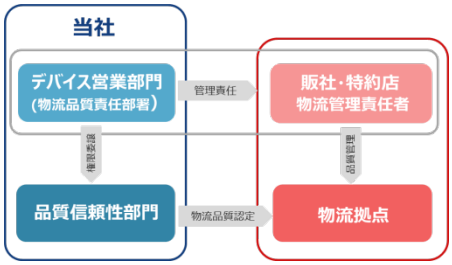



図 1-4　物流品質保証体系(概要)

### (2)　物流品質認定

図 1-5 に物流品質保証の根幹となる物流品質認定と物流品質監査の概念図を示します。

物流品質を保証するためには、物流拠点において、品質信頼性部門が規定する要求事項に準拠して物流品質を維持する仕組みが構築・維持され、適切な管理のもとで運用されていなければなりません。

© 2018 Sony Semiconductor Solutions Corporation

品質信頼性部門は、それらの検証を目的とした監査の結果をもとに認定可否判断を行い、合格の場合には該当する物流拠点に物流品質認定を付与し、製品の出荷を許可します。認定の有効期間は、初回認定が 1 年、それ以降は 1 年半として、認定の更新を得るためには物流拠点は更新監査を受審する必要があります。

尚、認定対象は、全世界において販売会社 7 社約 20 拠点、特約店 2 社約 20 拠点に及びます。

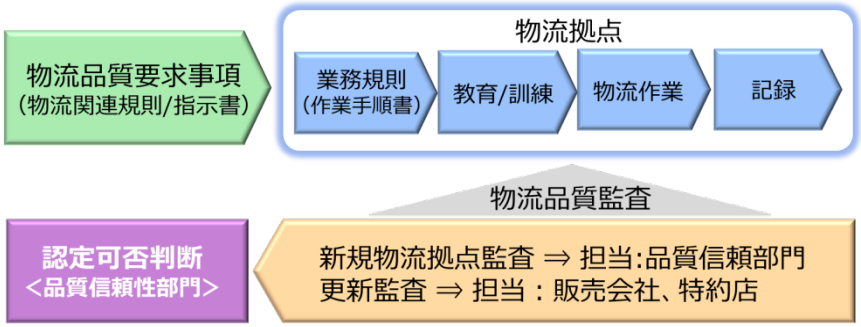



図 1-5　物流品質認定と物流品質監査

### (3) 物流品質監査

世界約 40 拠点で実施される物流品質監査の質を担保し、監査が物流品質の向上に寄与するために以下の施策を行っています。

a) 主任監査員の認証

主任監査員は、品質信頼性部門による研修を受講し、試験に合格しなければなりません。また、主任監査員就任後は、実際の監査時、定期的に品質信頼性部門による査察を受けることになります。

© 2018 Sony Semiconductor Solutions Corporation

b ) 監査計画と監査結果

監査開始にあたっては、品質信頼性部門は、表 1-1 に示す管理項目の詳細を要求事項とし、それらを 100 項目以上のチェックシートにまとめ、各販売会社及び特約店に提示します。また、その際に監査における重点確認項目も提示します。主任監査員は、それらを受けて、チェックシートの確認項目に対して具体的な確認対象、及び独自の確認項目と確認対象を付加します。この主任監査員が必要事項を付加したチェックシートを品質信頼性部門が承認して監査着手となります。

監査結果は、主任監査員が報告書にまとめ、品質信頼性部門が内容を精査し承認します。

表 1-1 物流品質の管理項目

| |
|---|
| ① 製品取扱い管理 |
| ② 静電気管理 |
| ③ 製品保管管理 |
| ④ 環境対応 |
| ⑤ 作業異常時の管理 |
| ⑥ 災害・事故時の対応 |
| ⑦ 特別採用時の管理 |
| ⑧ 物流品質評価・監視 |
| ⑨ 文書管理・記録管理 |

c ) 是正処置

監査において、不適合に相当する案件があった場合には、物流拠点は是正計画を立案し、品質信頼性部門の承認を以って是正を実施します。是正結果は、主任監査員が現場・現物確認を行い、その結果が妥当であれば品質信頼性部門が承認します。

是正が完了するまでは、該当する物流拠点は物流品質認定を取得できず、製品を出荷することは出来ません。

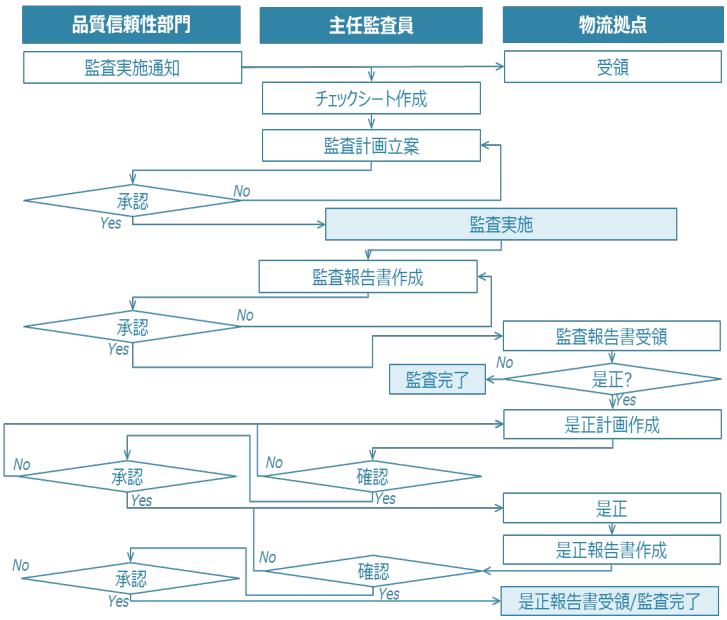



図 1-6　物流品質監査の基本フロー

© 2018 Sony Semiconductor Solutions Corporation

# 1.4 環境

## 1.4.1 環境への取り組み

### 1.4.1.1 ソニーグループ環境ビジョン

ソニーは、グループ全体のグローバルな環境方針として、「理念」と「基本方針」からなる「ソニーグループ環境ビジョン」を制定し、持続可能な社会の実現を目指しています。

ソニーは 1993 年に「環境ビジョン」の前身となる「ソニー環境基本方針」と、環境行動計画を制定し、活動を続けてきました。

当社もソニーグループの一員として同様に活動しています。ソニーの「理念」と「基本方針」を以下に記します。

### 1.4.1.2 理念

ソニーは、あらゆる生命の生存基盤である地球環境が保全され、現在だけでなく将来にわたり、健全で心豊かな持続可能な社会を実現するために、自らの事業活動および製品のライフサイクルを通して、環境負荷をゼロにすることを目指します。

### 1.4.1.3 基本方針

環境法規制を遵守し、グローバルな環境マネジメントシステムを継続的に改善しながら、自らの事業活動、及び製品のライフサイクル全体を通して環境負荷を確実に減らすとともに、汚染の防止に努めます。特に、重要な環境の４つの側面については、下記のゴールを設定し、実現に向けて積極的に行動します。

(1) 気候変動について

事業活動ならびに商品・サービスのライフサイクルに起因するエネルギーの使用を削減し、温室効果ガスの排出ゼロを目指します。

(2) 資源について

事業活動における新規の資源投入量を最小化するために、重視する資源を特定し、その新規材料の利用量ゼロを目指します。また、水の適正な利用に努め、事業所における廃棄物を最小化するとともに、市場からの製品の回収・リサイクルに最大限の努力をします。

© 2018 Sony Semiconductor Solutions Corporation

(3) 化学物質について

使用する化学物質が人の健康と地球環境にもたらす著しい悪影響のリスクを最小化します。使用する化学物質の確実な管理を行うとともに、予防的措置の観点に立ち、科学的確証が十分に得られていない場合も考慮しつつ、環境に著しい影響を与える可能性のある物質の継続的な削減・代替に努め、可能となり次第、その使用を中止します。

(4) 生物多様性について

事業活動や地域貢献活動を通して、生物多様性の維持、回復を積極的に推進し、生態系サービスの保全と持続的な利用に努めます。

## 1.4.2 事業所における環境配慮

当社は2020年度までのソニーグループ環境中期目標「Green Management(グリーンマネジメント）2020」のもと、関連する事業所において省エネ等の環境負荷低減活動を推進しています。

更に、地域のニーズに応じた環境地域貢献活動（事業所内保全活動含む）も展開しています。

(1) 温室効果ガス総排出量削減

エネルギーの使用に伴い発生する二酸化炭素($CO_2$)や製造工程で使用するパーフルオロカーボン(PFC)等の温室効果ガスの削減に取り組んでいます。高効率機器の導入や半導体クリーンルームの空調機から発生する排熱の再利用等などエネルギーの循環利用を推進しています。PFC類等の温室効果ガス排出量については処理装置の導入などの排出量削減施策を行っています。

(2) 水使用量削減

製造工程では井戸水や工業用水から精製した純水を半導体の洗浄工程や装置の冷却水など、さまざまな用途に使用しています。水資源を保全するため、製造工程における水使用量の削減に努めるほか、一度使用した水を回収して、精製し、再利用するなどの水使用量削減施策を行っています。

(3) 廃棄物発生量削減

薬液処理等で発生した汚泥や製造工程から排出される廃液等の廃棄物を削減するため、資源の有効利用に取り組んでいます。

© 2018 Sony Semiconductor Solutions Corporation

(4) 揮発性有機化合物(VOC)排出量削減

代替物質への切り替えや製造工程における VOC 使用量削減などの対策を行っています。また、小型 VOC 処理装置を装置メーカーと共同開発し、設置を推進しています。

(5) 環境地域貢献活動

事業所において、コミュニケーションイベント(清掃活動等)を実施するとともに、地域イベント(植林活動等)にも積極的に参加しています。また、環境対策の取り組みを理解し、安心して頂くために、地域行政の方、地域住民を招待した見学会や近隣小学校の環境教育に役立てて頂くための見学会を実施しています。

## 1.4.3 製品における化学物質の管理

当社は、製品に含有される化学物質に関する法令を遵守し、地球環境への影響を軽減するために、ソニーグループ統一標準の『部品・材料における環境管理物質管理規定(ＳＳ－００２５９)』に基づき、指定された環境管理物質の管理を行っています。

### 1.4.3.1 ソニー独自の化学物質管理基準を全世界で展開

ソニーが製造・販売するエレクトロニクス製品は、一製品につき数百から数千の部品で構成されており、さまざまな化学物質が含まれています。

製品に含まれる化学物質の中でも、有害性が懸念される物質は、廃棄段階で適切に処理されないと、環境を汚染する可能性があります。

こうした環境の汚染を未然に防ぐために、EU では RoHS 指令※1 により特定の化学物質の製品への含有が禁止されています。また、日本では特定の化学物質を含有した製品に対する J-Moss※2 マークによる情報開示が義務づけられ、中国では電器電子機器有害物質使用制限管理弁法※3 による化学物質含有情報の開示などが求められています。

ソニーでは、製品の市場とサプライチェーンのグローバル化にともない、全世界の関連法規制を考慮するとともに、ステークホルダーの声を反映した、ソニー独自の化学物質管理基準「部品・材料における環境管理物質管理規定(SS-00259)」※4 を導入しています。この基準に従い、ソニーでは製品を構成する部品および材料に対して、全世界で共通した化学物質管理を行っています。

※1 RoHS 指令とは、電気・電子機器に含まれる特定有害物質の使用制限に関する指令です。2006 年に施行され、2011 年に改定されました。

※2 J-Moss とは、JIS 規格「電気・電子機器の特定の化学物質の含有表示方法」の略称です。

© 2018 Sony Semiconductor Solutions Corporation

※3　「電器電子機器有害物質使用制限管理弁法」は 2016 年 7 月 1 日施行。中国国内で販売する電器電子機器に含まれる鉛、水銀などの 6 物質の使用に関する規制。
″製品への電器電子機器汚染制御マークの表示″、″化学物質含有情報の開示″を行う必要があります。
※4　部品・材料における環境管理物質管理規定(SS-00259)は、サプライヤーに対する化学物質についての納入基準です。対象とする化学物質とその用途を、即時使用禁止、ある期日をもって使用禁止、現時点では期日を定めないが全廃を目指す対象に分類して管理しています。(詳しくは「部品・材料における環境管理物質管理規定(SS-00259)」をご覧ください)
https://www.sony.co.jp/SonyInfo/procurementinfo/ss00259/index.html

#### 1.4.3.2　製品中の化学物質に対する規制に対応

ソニーは、EU の REACH 規則[※5]や改定された EU の RoHS 指令に対応するための仕組みを構築しています。REACH 規則の「情報伝達」「届出」や RoHS 指令の CE マーキングに対応するため、ソニーは IEC62474[※6]に準拠した chemSHERPA (ケムシェルパ)[※7]を採用しています。これによりサプライヤーから購入した部品や材料中に含まれる特定の化学物質含有データを収集し、データベースによる管理を行っています。

※5　REACH (Registration, Evaluation, Authorisation and Restriction of Chemicals) 規則は、欧州域内における化学物質の新たな管理体系で、2008 年 6 月 1 日から運用が開始されました。指定された条件の下、化学物質の登録・認可申請・届出・使用制限・情報伝達などの義務を事業者に課しています。
※6　IEC62474 は、電気電子業界の製品に含有される化学物質および構成材料に関するサプライチェーンにおける情報伝達に求められる手順や内容、フォーマットなどを規定した国際規格で、2012 年 3 月に発行されました。
※7　chemSHERPA とは、サプライチェーン全体で利用可能な製品含有化学物質の情報伝達のための共通スキームのことです。経済産業省主導で 2013 年から検討が行われ、2015 年 10 月にはデータ作成支援ツールがリリースされ運用が開始されました。

#### 1.4.3.3　製品に含まれる化学物質の管理に関する基本 3 原則

ソニー独自の化学物質管理基準「部品・材料における環境管理物質管理規定(SS-00259)」を順守するために、ソニーでは基本 3 原則を定め、それにもとづいたマネジメントを実施しています。

© 2018 Sony Semiconductor Solutions Corporation

### (1) 源流管理

ソニーは、2002 年に「グリーンパートナー環境品質認定制度」を設けました。化学物質管理に必要な「グリーンパートナー基準」を明確化し、それにもとづき、サプライヤーの監査を実施しています。ソニーは、監査に合格して「グリーンパートナー」と認定されたサプライヤーからのみ部品の調達を行っています。また、製造委託先に関しても同様の仕組みを導入し、管理の徹底を図っています。 さらに、より効率的に化学物質管理を運用するため、2003 年秋からソニーと直接取引のあるサプライヤー(一次サプライヤー)に対して、原材料データベース「グリーンブック」を電子調達システム上で公開しています。

この「グリーンブック」にはソニーが指定原材料としているリサイクル樹脂、線材、および、複数の一次サプライヤーで共通して用いられることの多い、成形用樹脂、塗料、インキなどの材料を対象として、ソニーが確認測定を実施し、SS-00259 への適合が確認されたもののみを登録しています。併せて、REACH 対応で必要となる原材料における化学物質含有量データについても、サプライヤーおよび製造委託先への公開を開始しています。

### (2) 品質管理への組み込み

新規の部品・材料に対しては検定を行い、通常の品質基準に加え、収集した化学物質含有量データなどを元に、「SS-00259」に準拠しているか否かの確認を行います。ソニーでは、このような管理を全世界で実施し、不適合品を市場に流出させないための管理を徹底しています。

### (3) 化学分析の活用

禁止物質の不慮の混入を未然防止するため、サプライヤーに対して、特定の部品・原材料について、ICP 分析 (ICP(Inductively Coupled Plasma)発光分光分析法) を要請しています。

また、ソニーの内部管理においても、含有リスクの高い特定の物質については全世界の事業所に配備した XRF(X-ray Fluorescence:蛍光 X 線分析)測定器などを用いて確認を行い、禁止物質の混入防止に努めています。

© 2018 Sony Semiconductor Solutions Corporation

# 1.5 安全

当社の半導体は、LSI やイメージセンサーを主とする民生用途の製品向けに留まらず、より高い品質や安全性を求められる車載用途など、広い製品の用途に対応したラインナップを展開しております。

全てのラインナップに対して、それぞれが求められる品質と安全性を担保し、安心で安全に使用して頂ける半導体を提供し続けるために、当社は様々な品質への取り組みを行っております。

## 1.5.1　安全への取り組み

製品の安全性を向上させるためには、設計開発段階における取り組みだけではなく、製造段階での取り組みも重要です。

当社では、社外で発生したトラブル事例も考慮して企画段階からの安全を意識した設計、本章1.2.2 項に記述したような製造段階での高度な量産管理を用いリスクの低減を行っています。

材料選定時においては安全性も重要な要素と位置づけ、エビデンス検証も行っています。

このように開発から量産管理に至るまで、それぞれのプロセスでの検証を次のプロセスへ確実につなげ、一貫して安全で高品質な物づくりに取り組んでいます。

## 1.5.2　製品を安全に使用していただくためのお願い

これまでのご説明の通り、弊社は様々な取り組みを経た製品をご提供しておりますが、お客様にその製品を正しくご使用いただく事もお願いをしております。

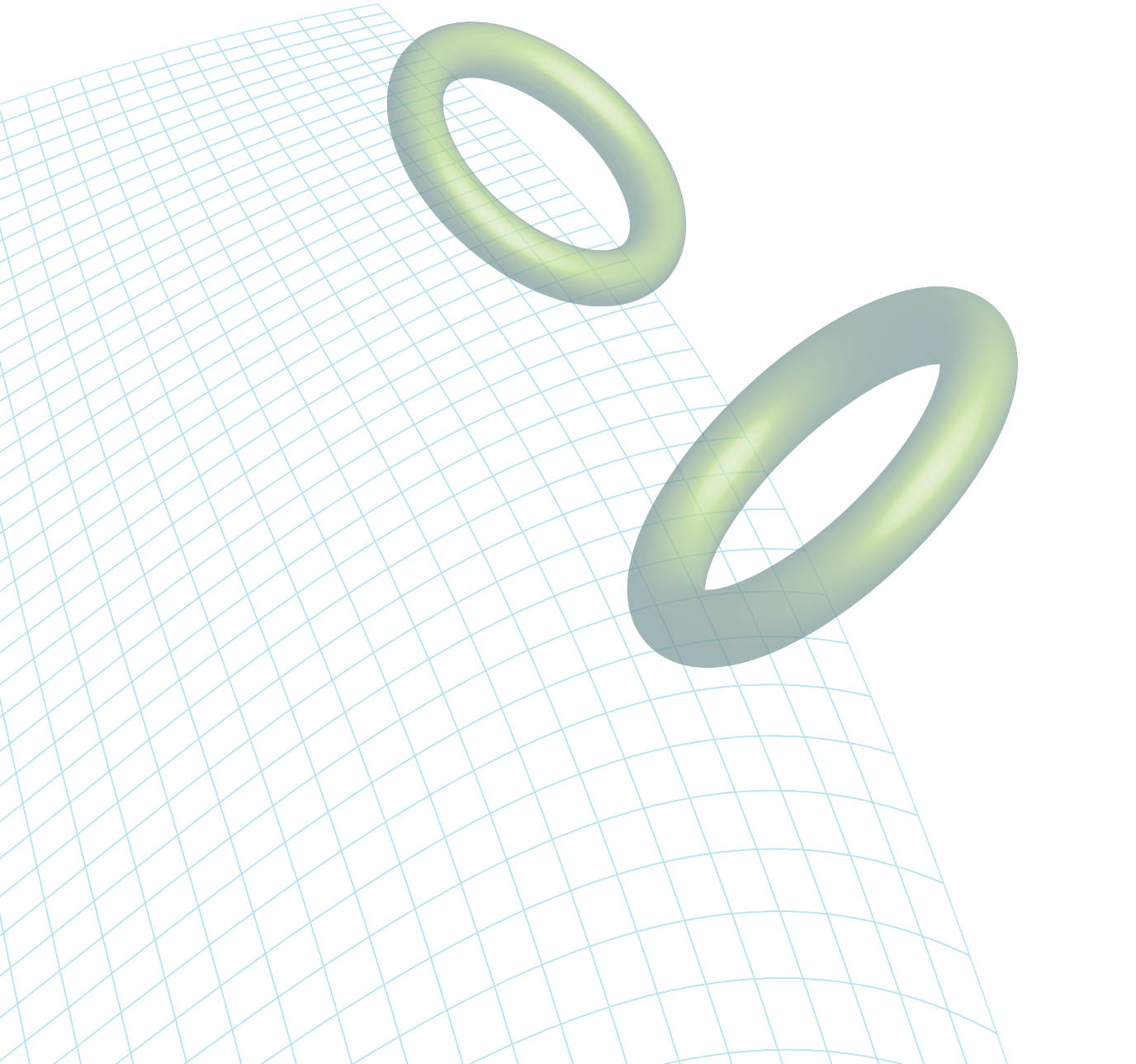
製品仕様書など製品の仕様を正しくご理解の上、半導体の選定からご使用までを通じて、安全への配慮をお願いします。

※詳しくは 6 章の「半導体デバイス取り扱い上の注意」をご参照ください。

© 2018 Sony Semiconductor Solutions Corporation

# 第2章 車載用半導体の品質

Chapter 2 Quality of Automotive Semiconductor Products



# 第 2 章　目次

2.　車載用半導体の品質
2.1　当社における車載用半導体製品 ..... 2-2
2.2　車載品質フィロソフィ ..... 2-2
2.3　車載 QMS ..... 2-3
2.4　商品化開発 ..... 2-4
2.5　ゼロディフェクト ..... 2-4
2.6　統計的スクリーニング ..... 2-5
2.7　機能安全 ..... 2-6
2.8　品質測定、監視 ..... 2-6
2.9　問題解決 ..... 2-7
2.10　社内の車載教育 ..... 2-8

© 2018 Sony Semiconductor Solutions Corporation

## 2.1　当社における車載用半導体製品

民生製品のイメージが強いソニーですが、既に LSI、イメージセンサーを主とする当社の半導体は車載をはじめとする色々な用途に使用され実績を積んできています。特に車載用イメージセンサーにおいては、ビューイングの領域からセンシングの領域へと進化し続けています。車載用イメージセンサー製品に特化した組織の発足により開発速度の加速と高度な車載品質の創り込みを並行して実現しています。今後、期待される自動運転に向けて、業務プロセスの整備をはじめ、継続的な車載品質を進化させる体制が運用されています。

図 2-1　SSS 車載半導体製品品質の基本イメージ

## 2.2　車載品質フィロソフィ

当社車載半導体において、車載品質規格の準拠は、最低条件として考えています。継続的な業務プロセスの改善で、高品質、高信頼性製品をお客様の元にお届けします。

更に、開発や製造で車載製品に関わる全ての人は、当社の車載半導体製品が不具合を起こした場合、人命に関わる真意を理解し、ゼロディフェクトを目指します。

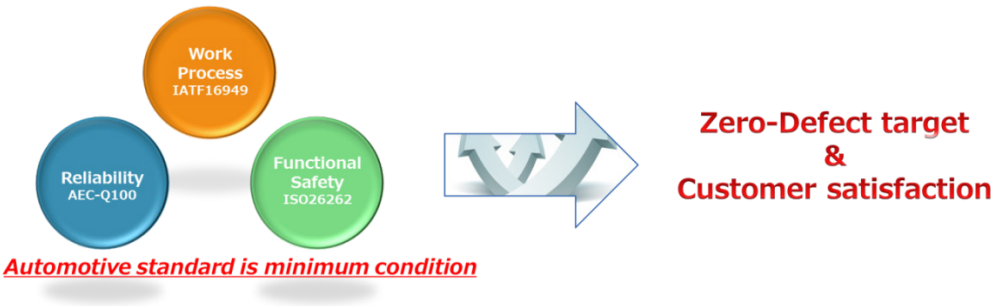



図 2-2　車載品質フィロソフィイメージ

© 2018 Sony Semiconductor Solutions Corporation

## 2.3　車載 QMS

最新規格を常に監視して、車載品質規格準拠を取り込んでいます。

当社は、既に、IATF16949 準拠のイメージセンサー製品を出荷しています。

これにより、不具合の予防、販社、物流まで含めたサプライチェーンにおけるバラつき、無駄の削減を考慮した継続的改善をもたらす品質マネジメントシステムを継続的進化させています。

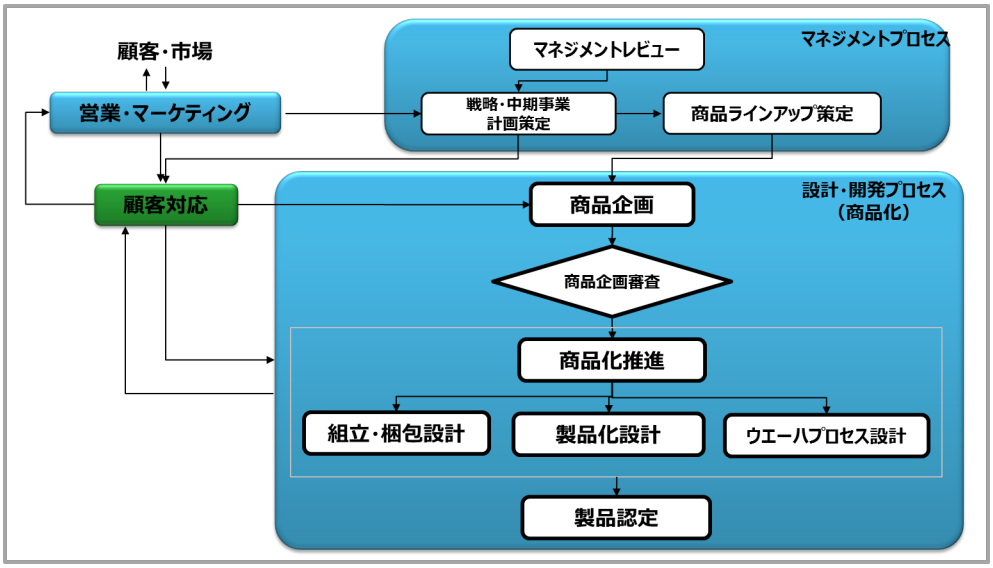



図 2-3　品質マネジメントシステムプロセスマップ概略

© 2018 Sony Semiconductor Solutions Corporation

## 2.4 商品化開発

車載/民生品の設計違いを明確にして、車載のデザインレビューに従い、開発・商品化を進めています。この際、FMEA（Failure Mode and Effect Analysis）、CP（Control Plan）、SPC 等のコアツールを使用して、開発から製造まで繋がりのある開発体系を維持できています。よって、IATF16949を準拠しつつ、複数回のデザインレビューを経て、開発側から製造側へ受け渡せることになります。

図 2-4　デザインレビューフロー

## 2.5 ゼロディフェクト

AEC-Q100 準拠を最低限に、イメージセンサーや他のアプリケーション独自の故障メカニズムを検証できるような摩耗不良、初期不良の確認評価を実行しています。

古典的なデザインレビューは当然の事、コアツール、統計的スクリーニングに加え、要素段階からの評価、機能安全の入れ込み等、車載品質維持のため、常に業務プロセスを進化させています。

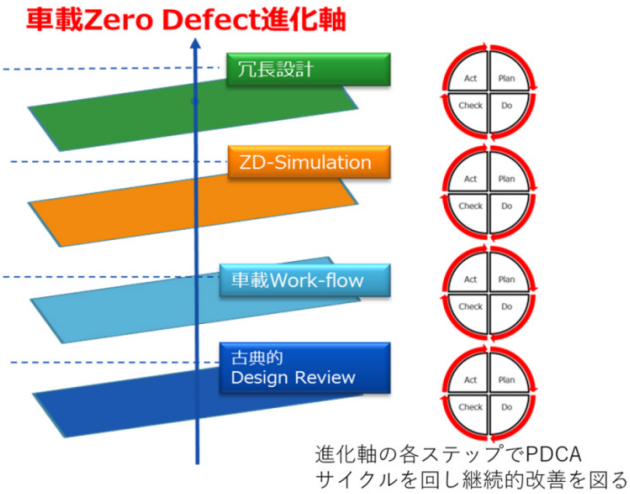



図 2-5　ゼロディフェクト思想イメージ

© 2018 Sony Semiconductor Solutions Corporation

## 2.6 統計的スクリーニング

特別な場合を除き品質信頼性と歩留まり（及び低歩留まりが発生した原因）には密接な関係があります。

当社では品質信頼性リスクの高い製品の出荷を防止するため、電気的良否判定以外に統計的に求められた高信頼性製品のみがクリアできる歩留まり限界を設定したスクリーニングを取り入れています。

この統計的スクリーニング手法はウェハー単位、ロット単位、それぞれに適用されます。

また、単に総合歩留まり数値のみの判定ではなく、測定カテゴリー（BIN 番号と呼ばれます）毎の歩留まりも同時に監視するなどの手法も用いられます。

これらを単独または複合して取り入れることで車載に求められる信頼性の高い製品の供給を可能にしています。

上述のスクリーニング手法以外にもロット単位で故障発生率の高いダイロケーションのダイを強制リジェクトする手法や不良ダイの周辺を強制リジェクトする手法を取り入れる場合もあります。

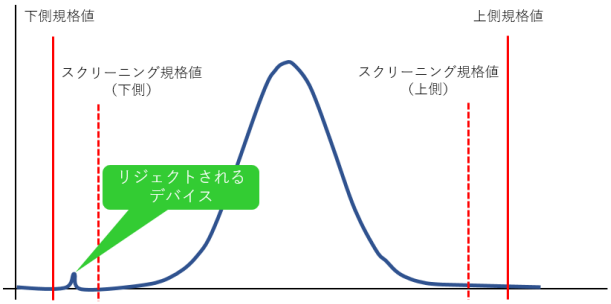



図 2-6　統計的スクリーニングイメージ（アウトライヤーをリジェクトします）

© 2018 Sony Semiconductor Solutions Corporation

## 2.7 機能安全

ISO26262 に準拠した製品は、冗長システムや異常検出システムを盛り込んだ設計を行っています。これにより、製品の安全をつくり込み、評価しています。お客様のシステム要望に応じた ASIL を達成できています。

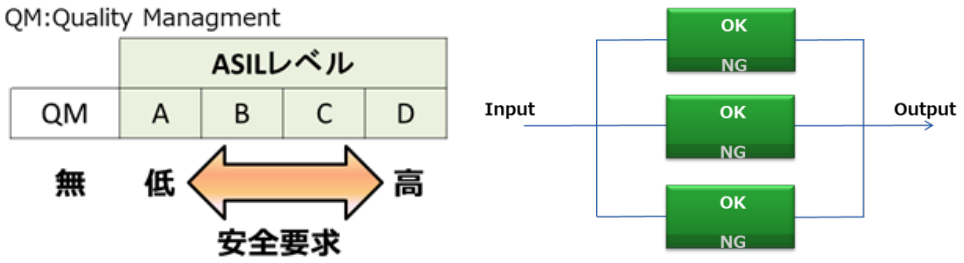



図 2-7　ASIL レベルと冗長設計イメージ

## 2.8 品質測定、監視

通年毎の不良率監視はもちろんの事、毎年事業計画を元にした KPI(key performance indicate)を設定し、社内の品質会議でレビューしています。このレビュー結果から、次年度の重要施策 CTQ（Critical To Quality）を設定して PDCA（Plan-Do-Check-Act）サイクルをまわします。

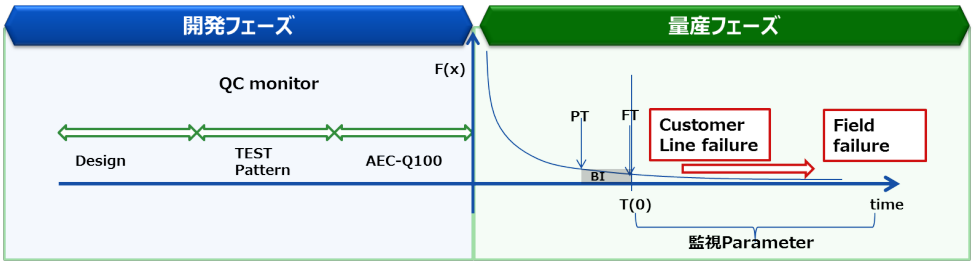



図 2-8　品質に関する監視、測定

© 2018 Sony Semiconductor Solutions Corporation

## 2.9 問題解決

万が一、納入先や市場および開発時に不具合が発生した場合、ソニーシックスシグマや 8D レポート方法等に従って問題解決に当たります。その際、車載特有の要因解析として、なぜなぜ解析や FTA（Fault Tree Analysis）や FMEA を使用する場合もあり、これにより原因を掘り下げ真因を追求します。当社では、真因確定のための製品評価や信頼性評価、物理解析を迅速に行える体制が整っています。

8D Method

General Description

D1. Team Approach

D2. Problem Description

D3. Containment Actions

D4. Root Cause Analysis

D5. Define of Corrective Action

D6. Implement of Corrective

D7. Action Taken to Prevent Recurrence

D8. Final Discussion

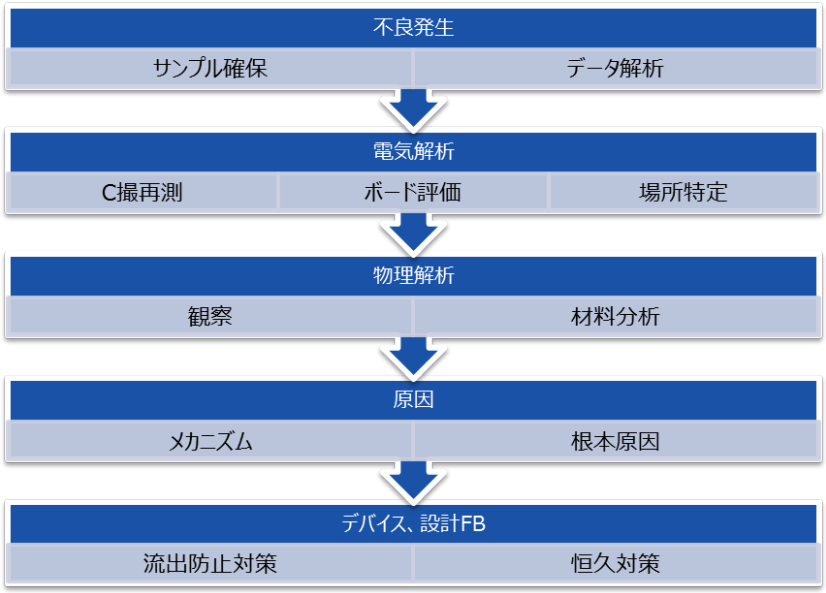



図 2-9　問題解決フロー例

© 2018 Sony Semiconductor Solutions Corporation

# 2.10 社内の車載教育

自動運転を始めとする車載製品の進化は非常に速いものになっています。これに追随するため、最新の車載法規法令、規格情報をウオッチし、社内教育に落とし込んでいます。

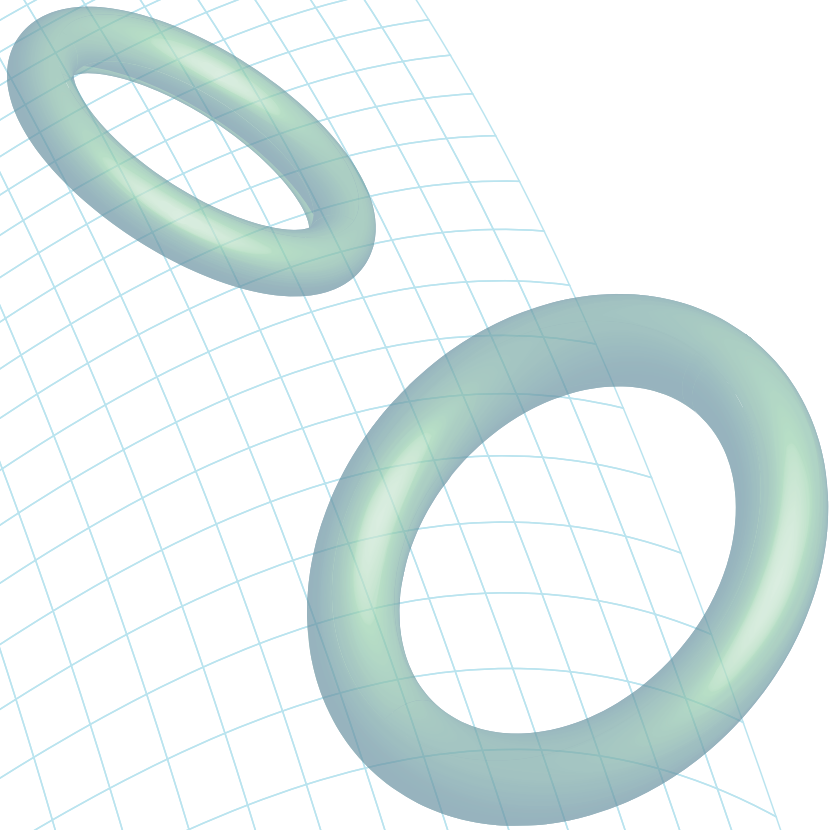
また、内部監査員や機能安全アセスメントが出来る担当を増加させ、車載文化の醸成を推進しています。

図 2-10　車載における学習と成長の取り組み図

© 2018 Sony Semiconductor Solutions Corporation

# 第3章 ソフトウェア品質

Chapter 3 Software Quality



# 第 3 章　目次

3.　ソフトウェア品質
3.1　ソフトウェア品質への取り組み ..... 3-2
3.1.1　ソフトウェアの重要性 ..... 3-2
3.1.2　ソフトウェア品質保証 ..... 3-2
3.1.3　ソフトウェア開発ライフサイクル ..... 3-3
3.1.4　ソフトウェア品質定義 ..... 3-4
3.1.5　欠陥検出 ..... 3-4
3.1.6　未然防止への取り組み ..... 3-5
3.1.7　欠陥分析 ..... 3-5
3.1.8　OSS（Open source software）の活用 ..... 3-6
3.2　製品セキュリティへの取り組み ..... 3-7
3.2.1　製品セキュリティの重要性 ..... 3-7
3.2.2　製品セキュリティ開発ライフサイクル ..... 3-7

© 2018 Sony Semiconductor Solutions Corporation

# 3.1 ソフトウェア品質への取り組み

## 3.1.1 ソフトウェアの重要性

デバイス製品の開発においては、

・ 製品機能の高度化

・ ハードウェア性能の向上

・ 開発期間の制約

により、ソフトウェアが担う役割がますます増大し、開発規模も増えています。

一方、組込みソフトウェアの不具合は製品の不具合に直結します。製品によっては、無線経由（OTA：On-the-Air）等によるソフトウェア更新ができないものもあり、ソフトウェアの不具合は製品回収やリコールを引き起こすリスクもあります。従って、ソフトウェア品質、およびソフトウェア品質保証活動は、非常に重要です。IoT、M2M、車載・医療機器等において、今後ますますその重要性は増していきます。

## 3.1.2 ソフトウェア品質保証

当社のソフトウェア品質保証は、ソフトウェアが要求された品質を満たすことを確実にするために行う一連の活動であり、以下の活動を含みます。

・ 開発プロセスと作業成果物の客観的な評価

・ 最終成果物の客観的な評価

・ 開発プロセスの継続的改善

© 2018 Sony Semiconductor Solutions Corporation

### 3.1.3　ソフトウェア開発ライフサイクル

お客様のニーズに合致した品質要求を満たす製品をタイムリーに提供するために、当社では、ISO/IEC12207 を参考として、製品の企画から要件定義、実装、量産、保守、廃棄に至るまでのソフトウェア開発ライフサイクルを定義しています。

1.2 品質保証システムに加えて、ソフトウェアをスコープとした DR を実施しています。

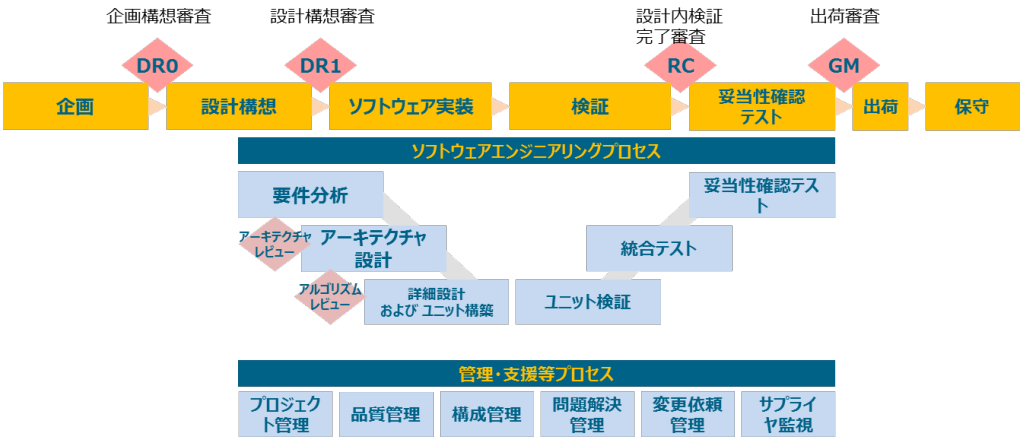



図 3-1　ソフトウェア開発ライフサイクル

© 2018 Sony Semiconductor Solutions Corporation

### 3.1.4　ソフトウェア品質定義

システムおよびソフトウェアに求められる多岐にわたる品質要求を定義するため、国際規格である ISO/IEC25000（SQuaRE）シリーズを活用しています。

| Product Quality Model | |
|---|---|
| **Functional suitability** | **Reliability** |
| Functional completeness | Maturity |
| Functional correctness | Availability |
| Functional appropriateness | Fault tolerance |
| **Performance efficiency** | Recoverability |
| Time behavior | **Security** |
| Resource utilization | Confidentiality |
| Capacity | Integrity |
| **Compatibility** | Non-repudiation |
| Co-existence | Accountability |
| Interoperability | Authenticity |
| **Usability** | **Maintainability** |
| Appropriateness recognizability | Modularity |
| Learnability | Reusability |
| Operability | Analysability |
| User error protection | Modifiability |
| User interface aesthetics | Testability |
| Accessibility | **Portability** |
| | Adaptability |
| | Installability |
| | Replaceability |

| Quality in use |
|---|
| **Effectiveness** |
| **Efficiency** |
| **Satisfaction** |
| Usefulness |
| Trust |
| Pleasure |
| Comfort |
| **Freedom from risk** |
| Economic risk mitigation |
| Health and safety risk mitigation |
| Environmental risk mitigation |
| **Context coverage** |
| Context completeness |
| Flexibility |

図 3-2　System and software quality models [ISO/IEC 25010:2011　Systems and software engineering – Systems and software Quality Requirements and Evaluation (SQuaRE) ]

### 3.1.5　欠陥検出

早期に欠陥を検出、対処し、ソフトウェアの品質を高めるため、以下のフロントローディング施策等を実施しています。

- 静的解析

  ソフトウェアのコーディングおよび単体テストの段階で、静的解析ツールを活用しソースコードを解析することにより、ソースコードから直接、欠陥および詳細設計の問題点を発見します。

- レビュー

  作業成果物（仕様書、設計書、ソースコード）の開発時にピアレビューを実施し、除去すべき欠陥を、ソフトウェアを動作させる前に特定します

© 2018 Sony Semiconductor Solutions Corporation

- 継続的統合（Continuous Integration）

  ビルドが可能になった段階から Jenkins 等を活用し定期実行します。インタフェースの不整合を早期に検出することに加え、静的解析やリグレッションテストも合わせて実行することで不具合を早期に発見して対処し、ソフトウェアの品質を高めます。

- シミュレーション

  組込みソフトウェアでは、ハードウェア（実機）も同時開発する場合が少なくありませんが、FPGA や EDA ツールを活用した論理シミュレーションによって、実機テストの前にタイミング検証等を実施します。

- スクラム開発手法

  アジャイルのスクラム開発手法の適用も始めています。要求の認識違いによる手戻りや要求変化のリスク軽減、またリスク箇所の早期確認による手戻り削減といった効果が期待されます。

### 3.1.6　未然防止への取り組み

テスト中心ではなく、以下の未然防止施策も合わせて実施することで、より高い品質の実現と、開発の効率化を進めています。

- FMEA（Failure Mode and Effect Analysis）
- 課題ばらし

  過去の不具合要因、派生元からの差分等を出所として、関係者が集まり、リスクを特定します。

- プロセスモデル

  プロセスの質を高めることは、そのプロセスのアウトプット、作業成果物の品質を高めることにつながります。このため、CMMI や SPICE のプラクティスを参考にプロセスを構築しています。特に車載ソフトウェア開発では、Automotive-SPICE を導入しています。

### 3.1.7　欠陥分析

開発段階においては、ODC（Orthogonal Defect Classification）等を用いて分析し、その時点での品質を確認すると共に、テスト計画やプロセス改善へフィードバックします。

保守段階で欠陥が発見された場合や、開発段階でも重篤な欠陥と判断したものについては、FTA（Fault Tree Analysis）、なぜなぜ分析等を行い、真因を特定し、再発防止活動につなげています。

© 2018 Sony Semiconductor Solutions Corporation

### 3.1.8　OSS（Open source software）の活用

製品の機能の多様化、ソフトウェア開発規模および複雑性の増大、リリースサイクルの短期化といった、ソフトウェア開発への要求に対し、高品質の OSS（Open source software）を活用することは、コスト削減および開発期間短縮の最も効果的なソリューションの一つとなります。OSS ライセンスを正しく理解し、適正に利用するため、ソフトウェア開発ライフサイクルに組み込まれた客観的な検査およびコンサルテーションの仕組みを設けています。

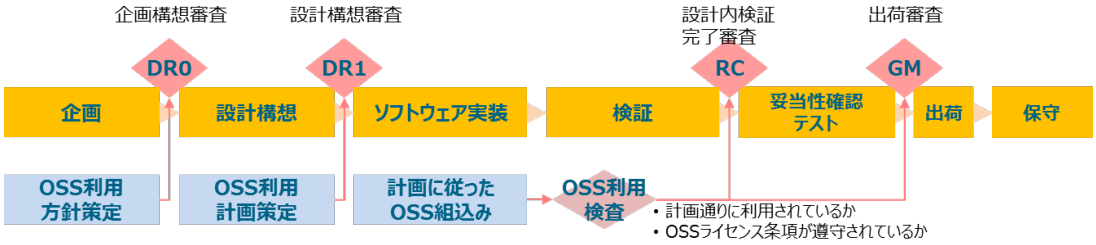



図 3-3　OSS（Open source software）の活用

© 2018 Sony Semiconductor Solutions Corporation

# 3.2 製品セキュリティへの取り組み

## 3.2.1 製品セキュリティの重要性

昨今、TV やデジタルカメラ等の家電製品、車といった組込み製品のセキュリティ脅威が広がっており、暗号鍵の漏洩など半導体製品への攻撃事例も報告されています。こうしたなか、当社のみならずソニー全社として、製品セキュリティの重要性を認識し、この対応を実施しています。

## 3.2.2 製品セキュリティ開発ライフサイクル

当社では、製品セキュリティ対策として、図 3-4 に示すセキュリティ開発ライフサイクルを定義し、導入しています。製品の企画段階から廃棄に至るまで、セキュリティ品質を向上させるためのプラクティスを実施しています。これにより、製品のセキュリティ品質上の問題（セキュリティインシデント）の発生確率や影響を低減し、更には、出荷後の万が一のインシデント発生時の迅速かつ適切な対応を可能としています。

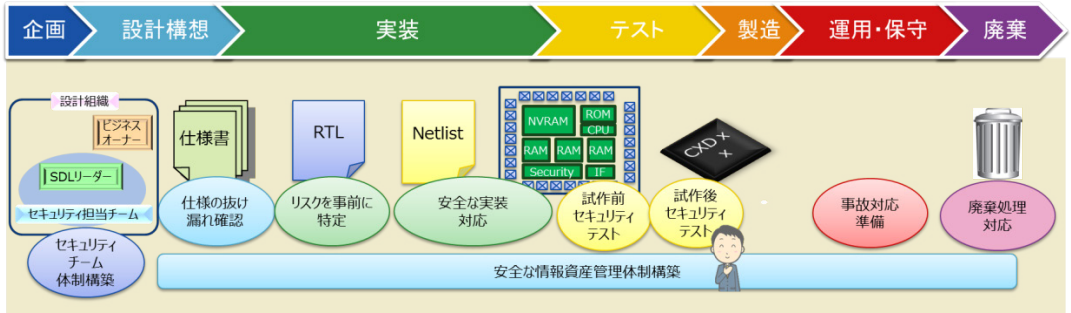



図 3-4　製品セキュリティ開発ライフサイクル

© 2018 Sony Semiconductor Solutions Corporation

# 第4章　半導体デバイスの信頼性

Chapter 4　Reliability of Semiconductor Devices

# 第 4 章　目次

4.　半導体デバイスの信頼性
4.1　半導体信頼性の基礎知識 ..... 4-3
4.1.1　信頼性を表す尺度 ..... 4-3
4.1.2　信頼性解析に用いられる分布 ..... 4-5
4.1.3　半導体デバイスの故障パターン ..... 4-8
4.1.3.1　半導体デバイスの故障領域 ..... 4-8
4.1.3.2　初期故障 ..... 4-9
4.1.3.3　偶発故障 ..... 4-11
4.1.3.4　摩耗故障 ..... 4-12
4.2　半導体の信頼性検証 ..... 4-14
4.2.1　信頼性検証の基本的な考え方 ..... 4-14
4.2.1.1　開発段階における信頼性検証 ..... 4-14
4.2.1.2　試作段階における信頼性検証 ..... 4-14
4.2.1.3　量産段階における信頼性検証 ..... 4-15
4.2.2　開発・設計段階の信頼性 ..... 4-17
4.2.2.1　ゲート絶縁膜の経時破壊(TDDB) ..... 4-19
4.2.2.2　ホットキャリア(HCI) ..... 4-21
4.2.2.3　負バイアス温度不安定性(NBTI ： Negative Bias Temperature Instability) ..... 4-22
4.2.2.4　ソフトエラー ..... 4-23
4.2.2.5　エレクトロマイグレーション ..... 4-26
4.2.2.6　ストレスマイグレーション ..... 4-28
4.3　信頼性試験 ..... 4-30
4.3.1　高温動作試験(HTOL: High temperature operating life) ..... 4-30
4.3.2　高温高湿バイアス試験(THB: temperature humidity bias) ..... 4-30
4.3.3　温度サイクル試験(T/C: temperature cycling) ..... 4-31
4.3.4　PTC ..... 4-32
4.3.4.1　試験実施の際の注意点 ..... 4-34

© 2018 Sony Semiconductor Solutions Corporation

4.3.5　HAST ..... 4-34
4.3.5.1　THB 試験との違い..... 4-35
4.3.5.2　本試験に関する最近の動向 ..... 4-35
4.3.5.3　試験に対する配慮 ..... 4-35
4.3.6　タンブル試験 ..... 4-36
4.4　加速モデル ..... 4-38
4.4.1　環境ストレスにおける加速モデル..... 4-38
4.4.2　動作ストレスにおける加速モデル..... 4-40

© 2018 Sony Semiconductor Solutions Corporation

# 4.1 半導体信頼性の基礎知識

近年、機器のシステム化、高機能、高性能化が進み、故障による社会的影響や損害の増大をきたすようになり、機器に対し、高い信頼性が要求されるようになってきました。このことは機器を構成する個々の部品一つ一つにさらに高い信頼性が要求されていることを意味します。

半導体は一つの機器に多くの数量が使用され、また機器の主機能を担うことが多く、より信頼性が重要となります。また、半導体そのものも微細化、高集積化が進み、より大規模な回路構成となり、また、高機能化、高性能化、システム LSI 化が進んでおり、半導体の信頼性確保がより重要となっています。

ここでは、半導体の信頼性を議論するうえで必要となる、信頼性の尺度、分布関数、故障率の時間的推移と故障領域について述べます。

## 4.1.1 信頼性を表す尺度

JISZ 8115「信頼性用語」では、信頼性とは、「アイテムが与えられた条件で規定の期間中、要求された機能を果たすことができる性質」と定義されています。したがって、信頼性とは時間を含んだ概念であり、その尺度は時間の関数となります。

**(1) 信頼度関数（信頼度）：R(t)**

信頼度とは、ある時間 t まで故障なく正常に機能する確率を示します。

n 個のサンプルを同じ条件で使用したとき、ある時間 t 経過するまでに発生した故障数を r(t)個とすると、信頼度 R(t)は次式で表されます。

$$R(t) = \frac{n - r(t)}{n} \qquad \cdots\cdot 式 4.1.1$$

**(2) 故障分布関数（不信頼度）：F(t)**

ある時間 t までに故障した確率を示し、次式で表されます。

$$F(t) = \frac{r(t)}{n} \qquad \cdots\cdot 式 4.1.2$$

また、信頼度 R(t)との間には

$$R(t) + F(t) = 1 \qquad \cdots\cdot 式 4.1.3$$

の関係が成り立ちます。

図 4-1 に示すように時間とともに R(t)は 1 から減少し、逆に F(t)は 1 に向かって 0 から増加していきます。なお、半導体デバイスの故障分布関数は、後述する分布関数が用いられます。

© 2018 Sony Semiconductor Solutions Corporation

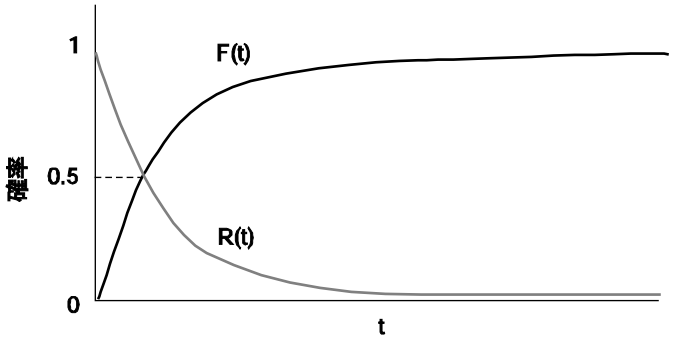


図 4-1　F(t)と R(t)の関係

(3)　故障密度関数：f(t)

ある時間 t 経過したときの単位時間当たりの故障発生確率を表します。

$$f(t) = \frac{dF(t)}{dt} = -\frac{dR(t)}{dt} \quad \cdots\cdots 式 4.1.4$$

(4)　故障率関数：λ(t)

時間 t が経過した時、故障していなかったサンプルが、次の単位時間に故障する割合を表します。

$$\lambda(t) = \frac{f(t)}{1-F(t)} = \frac{f(t)}{R(t)} \quad \cdots\cdots 式 4.1.5$$

故障率関数は瞬間故障率とも呼ばれ、式 4.1.4、4.1.5 より、故障分布関数 F(t)から算出され、その単位は、半導体デバイスでは FIT（Failure In Time：$10^9$総動作時間当たりの故障数）を用いるのが一般的です。

なお、対象製品の F(t)が既知でない場合には、次式の平均故障率を用います。

平均故障率≡期間中の総故障数／期間中の総動作時間　・・・・式 4.1.6

【補足】

後述する初期故障領域では、上述で定義される故障率のほか、市場にて半導体デバイスが搭載されたセットが動作後、特定時間を経たときの累積故障率を用いることがあります。特にお客様からの要求がなければ、当社も 1 年後の累積故障率を初期故障率としています。

また、初期故障領域以降に関しては、多くの半導体デバイスは、実使用環境においては磨耗故障（真性故障）に至らず、その故障率は偶発故障領域の一定値を呈します。この値は、式 4.1.6 と同値となるため、実質的には平均故障率が、初期故障領域以降の故障率といえます。

© 2018 Sony Semiconductor Solutions Corporation

(5) 平均故障寿命：MTTF

半導体デバイスのように、修理・保全を伴わないアイテムの平均故障時間 MTTF (Mean Time To Failure) は、次式で表されます。

$$MTTF = \int_0^{\infty} tf(t)dt \qquad \cdots\cdots 式 4.1.7$$

## 4.1.2 信頼性解析に用いられる分布

半導体デバイスの信頼性データ解析に用いられる代表的な分布関数について説明します。

(1) 正規分布

正規分布は、品質管理に使用される代表的な連続分布の一つです。信頼性解析では故障がある時点で集中的に発生する摩耗故障に適用されるといわれています。

故障密度関数 f(t)、および分布関数 F(t)は次式で表されます。

$$f(t) = \frac{1}{\sqrt{2\pi}\sigma}\exp\left\{-\frac{(t-\mu)^2}{2\sigma^2}\right\} \ (-\infty < t < \infty) \qquad \cdots\cdots 式 4.1.8$$

$$F(t) = \frac{1}{\sqrt{2\pi}\sigma}\int_{-\infty}^{t}\exp\left\{-\frac{(x-\mu)^2}{2\sigma^2}\right\}dx \ (-\infty < t < \infty) \qquad \cdots\cdots 式 4.1.9$$

この分布は、平均値を表すパラメータ μ と分散（ばらつき）を表すパラメータ σ により与えられます。

下図 4-2 のように、μ を中心に左右対称の釣鐘型となり、μ の両側±σ、±2σ、±3σ の間に 68.26%、95.44%、99.7%の確率で t の値が含まれます。

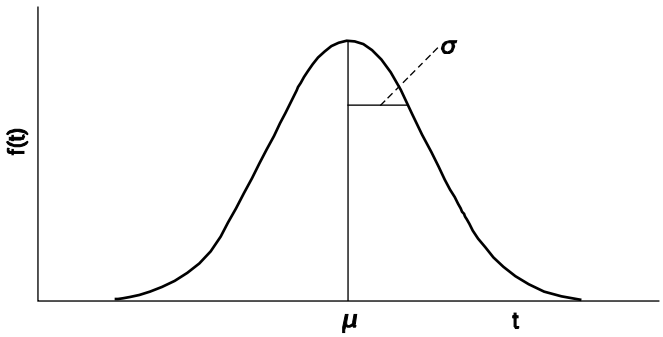



図 4-2　正規分布

© 2018 Sony Semiconductor Solutions Corporation

(2) 指数分布

指数分布は、故障率λが時間に対し一定となる偶発故障領域の寿命分布（故障分布関数）に適用され、確率密度関数 f(t)、および累積分布関数 F(t)は次式で表されます。この分布は、後述するワイブル分布において、形状パラメータ m=1 の場合に相当します。

$$f(t) = \lambda exp^{(-\lambda t)}$$ ・・・・式 4.1.10

$$F(t) = 1 - exp^{(-\lambda t)}$$ ・・・・式 4.1.11

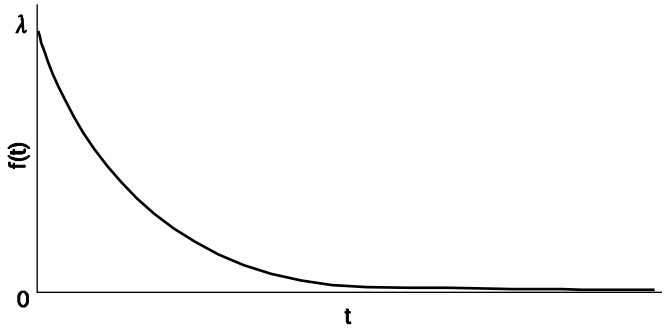



図 4-3　指数分布

なお、次式のとおり、故障率λの逆数 $t_0$ から MTTF が与えられます。

$$1/\lambda = t_0 = MTTF$$ ・・・・式 4.1.12

(3) 対数正規分布

対数正規分布は、寿命時間 t の対数をとった ln t が上述の正規分布にしたがう分布関数です。

確率密度関数 f(t)、分布関数 F(t)は、次式で表されます。

$$f(t) = \frac{1}{\sqrt{2\pi}\sigma t}\exp\left\{-\frac{1}{2}\left(\frac{\ln t - \mu}{\sigma}\right)^2\right\} \quad (0 < t < \infty)$$ ・・・・式 4.1.13

$$F(t) = \frac{1}{\sqrt{2\pi}\sigma}\int_0^t \frac{1}{x}\exp\left\{-\frac{1}{2}\left(\frac{\ln x - \mu}{\sigma}\right)^2\right\}dx$$ ・・・・式 4.1.14

© 2018 Sony Semiconductor Solutions Corporation

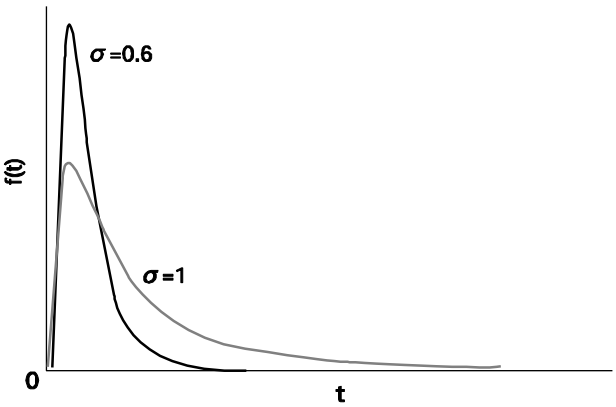



図 4-4　対数正規分布

半導体デバイスの信頼性においては、一般的にエレクトロマイグレーション寿命は、この対数正規分布に従うことが知られています。

(4)　ワイブル分布

ワイブル分布は、1939 年にスウェーデンの *W. Weibull* によって機械の破壊強度分布として提案された最弱リンクモデルで、1955 年に *J. H. K. Kao* が、真空管の寿命に適用したとされ、その後半導体デバイスの信頼性において寿命分布に多用されています。

確率密度関数 f(t)、および分布関数 F(t)は次式で表されます。

$$f(t) = \frac{m}{\eta}\left(\frac{t-\gamma}{\eta}\right)^{m-1} \exp\left\{-\left(\frac{t-\gamma}{\eta}\right)^{m}\right\}$$ ・・・・式 4.1.15

$$F(t) = 1 - \exp\left\{-\left(\frac{t-\gamma}{\eta}\right)^{m}\right\}$$ ・・・・式 4.1.16

© 2018 Sony Semiconductor Solutions Corporation

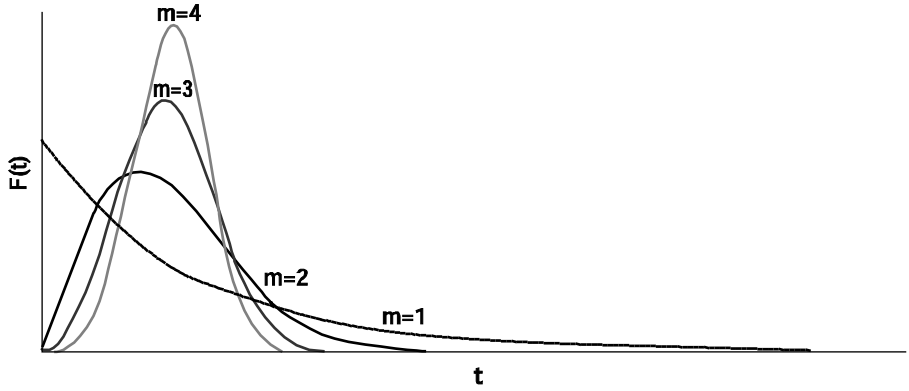


図 4-5　ワイブル分布

m は形状パラメータ、$\eta$ は尺度パラメータ（特性寿命）、$\gamma$ は位置パラメータと呼ばれます。

またここで、$t_0=\eta^m$ とすると、故障率 $\lambda(t)$ は以下の式で表されます。

$$\lambda(\mathrm{t})=\frac{m}{\eta}\left(\frac{t-\gamma}{\eta}\right)^{m-1}=\frac{m}{t_0}(t-\gamma)^{m-1} \qquad \cdot\cdot\cdot\cdot \text{式 4.1.17}$$

この形状パラメータ m の値からは以下のような故障パターンに関する情報を得ることができます。

| | |
|---|---|
| 0<m<1 のとき | 故障率が時間とともに減少する初期故障（DFR）型 |
| m=1 のとき | 故障率一定の偶発故障（CFR）型（指数分布と一致） |
| m>1 のとき | 故障率が時間とともに増加する摩耗故障（IFR）型 |

## 4.1.3　半導体デバイスの故障パターン

### 4.1.3.1　半導体デバイスの故障領域

図 4-6 に示すように、半導体デバイスの故障領域は、一般の電子機器と同様に初期故障、偶発故障、摩耗故障領域の 3 つの領域に分類され、故障率の時間推移はいわゆるバスタブカーブと呼ばれる曲線を描きます。

この曲線は、時間とともに単調減少する初期故障率、一定値を示す偶発故障率、および単調増加する磨耗故障率により構成されています。但し、半導体デバイスの場合、後述のとおり偶発故障期には発生確率が極めて小さいソフトエラーのような現象以外には観測されないため、偶発故障領域の故障率（バスタブカーブの底の高さ）は、初期故障率の収束した後の残存故障が現れると考えられます。

© 2018 Sony Semiconductor Solutions Corporation

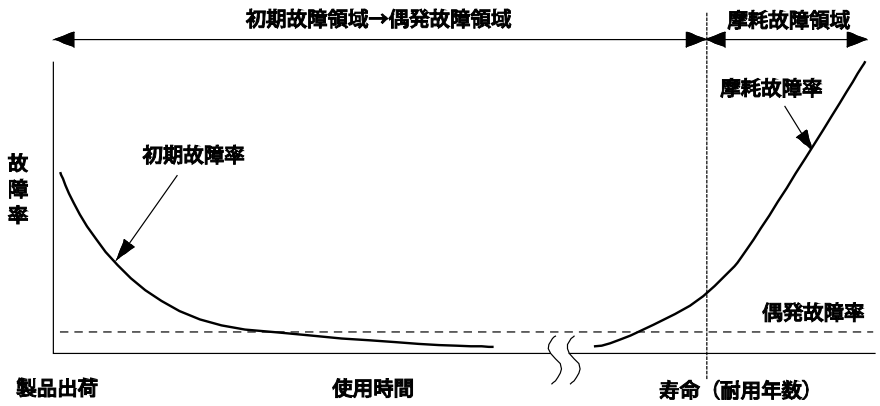



図 4-6　半導体デバイスの時間経過に対する故障率変化

#### 4.1.3.2　初期故障

初期故障期の故障率は、EFR（Early Failure Rate）と呼ばれ、時間経過に対し故障率が減少する傾向を示します。半導体デバイスの初期故障は、主にウェーハプロセス中にデバイスに作り込まれた欠陥に起因するものがその多くを占めます。欠陥の主な要因としては、ウェーハ工程内のダストによる欠陥と、ゲート酸化膜や Si 基板中の結晶欠陥があげられます。製造プロセスに起因する欠陥を含んだデバイスは、そのほとんどが製造工程内で記録され、最終選別工程で不良として取り除かれます。比較的軽微な欠陥を含んだデバイスは、最終測定で良品と同様な電気的特性を示すために、合格品として出荷されてしまうことがあります。このように軽微な欠陥を含んだ弱いデバイスは短期間で故障となるため、出荷前に高いストレス（電圧、温度など）を短時間与えることで取り除くことができます。初期欠陥を含む弱いデバイスを取り除くスクリーニンを、ウェーハ状態ではウェーハレベル・バーンイン(burn-in)、パッケージ状態ではバーンインと呼びます。

最近のデバイスでは、開発段階の検証において、初期故障が現れないことが多くなっています。

なぜなら、最新の自動化された製造ラインでは、汚染や欠陥を作りこまない技術が進展し、インライン欠陥検査の精度が向上し、あらゆる欠陥を可視化し、電気的特性と紐づけるシステムも各段に向上しています。同時に、設計の自動化技術（シミュレーション）の進展も、欠陥に対するロバスト性を高め、開発段階からばらつきに強い高い品質を作りこめるようになっています。そのため、初期故障のスクリーニングは、ウェーハ状態でストレステストを行うことで十分な高い品質を確保することが多くなっています。

© 2018 Sony Semiconductor Solutions Corporation

以下、初期故障のスクリーニング方法としてのバーンインについて概要を説明します。

### (1) 初期故障期の故障分布関数の導出

初期欠陥を内在したデバイスを確実に除去するバーンインの条件を決定するために、初期故障期の故障分布関数を求める必要があります。

そのために、初期欠陥を内在したデバイスが含まれる規模（通常数千～1 万個程度）の大量サンプルを用いた高加速寿命試験を短時間実施して、得られた故障時間データをワイブル確率紙にプロットし、その回帰直線から故障分布関数を推定します。

図 4-7 は、その例を示したもので、直線に回帰したことにより、次式のワイブル分布を決定する形状パラメータ m と特性寿命 $\eta$ が得られます。

$$F(t) = 1 - exp\{-(t/\eta)\hat{}m\} \quad \cdots\cdots \text{式 4.1.18}$$

なお、故障分布関数を求めるこの手法は、バーンインスタディ（burn-in Study）と呼ばれています。

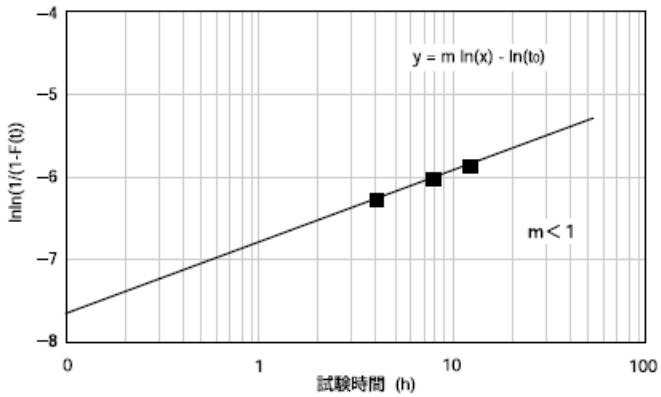



図 4-7　バーンインスタディのワイブルプロット

注）ワイブル確率紙は、故障時間がワイブル分布に従う場合、それらが直線に回帰するよう工夫されている。

### (2) バーンイン条件の決定

バーンインスタディにより得られた故障分布関数 F(t)を用いて、出荷後の初期故障率（注 1）を目標の値に低減するために必要なスクリーニング（バーンイン）条件を決定することができます。

© 2018 Sony Semiconductor Solutions Corporation

バーンイン時間を $t_0$ とし、バーンイン条件と市場環境との加速係数を $A_F$ とすると、バーンインで取り除くことができる累積の初期故障確率は $F(A_F \cdot t_0)$ で求められ、バーンイン実施後 t 時間経過した時点までに新たに発生する累積の初期故障確率 F(t)は、以下の式で求めることができます。

$$F(t) = F(A_f \cdot t_0 + \vdash t) - F(A_f \cdot \vdash t_0) \quad \cdot\cdot\cdot\cdot \text{式 } 4.1.19$$

この関係を図に示すと、図 4-8 のようになります。

バーンイン条件は、この値を目標とする初期故障率以下になるような加速条件と時間の組み合わせによって選択されます。通常、初期故障の原因となる初期欠陥の発生率はプロセス開発初期に最も高くなり、工程改善とプロセスの習熟にしたがって低下していきます。したがって初期故障率は、この初期欠陥の発生率に応じて減少していきますので、工程改善に合わせたバーンイン時間の見直しが必要です。

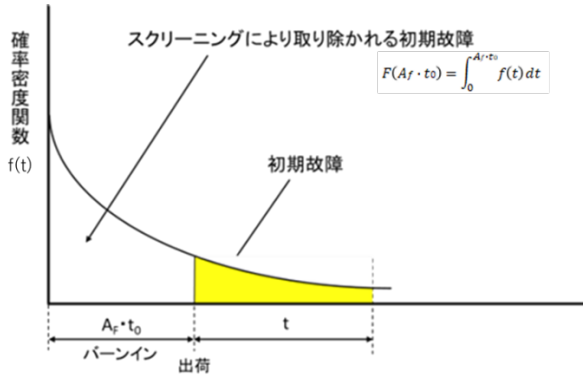



図 4-8　バーンインによる初期故障のスクリーニング

注 1)　この項における初期故障率は、瞬間故障率ではなく、特定の期間における累積故障確率です。

“4.1.1　信頼性を表す尺度”の【補足】参照

#### 4.1.3.3　偶発故障

初期故障を含んだデバイスがある程度取り除かれると、初期故障期以降から耐用寿命に至るまでの長期間にわたり故障の発生が無く安定した期間となります。この領域では、故障分布は指数分布に近い状態となり、これを偶発故障期と呼んでいます。半導体デバイスの偶発故障期の故障率は、出荷直後の初期故障率に比べて非常に小さな値であるため、量産の製品においても、殆ど観測されることがありません。半導体デバイスの故障メカニズムの観点からも明確に偶発故障と定義できるものはなく、使用環境に依る放射線などの高いエネルギー粒子によるメモリのソフト

© 2018 Sony Semiconductor Solutions Corporation

エラーなどの現象が、偶発的に発生する故障メカニズムに分類されることがあります。

半導体デバイスの故障率予測では、使用開始からある程度の期間経過した時点で単発的に発生する故障や、故障原因を特定できないような故障を偶発故障として扱っているケースがありますが、それらの大部分は比較的軽微な初期欠陥（ダストや結晶欠陥）を含んだデバイスが、長時間を経て故障に至ったもので、本来は初期故障率の減衰曲線上に位置づけられるものと考えられます。平均故障率は指標として、指数分布を仮定した平均故障率として推定することがあります。信頼性試験のような少数サンプルでの試験結果から厳密な推定を行うことはできませんが、実際より大きな推定値（目安）として扱われます。単位にはFIT(Failure In Time)が用いられます。

また、静電破壊、過電圧（サージ）破壊（EOS）、ラッチアップなど、使用環境により偶発期間に故障する現象がありますが、これらの現象はいずれもデバイスの絶対最大定格を超える過度なストレスが印加されるなど、外因に影響されるメカニズムであり破壊に分類されるため、偶発故障の対象ではありません。

#### 4.1.3.4　摩耗故障

摩耗故障は、半導体デバイスを構成する材料やトランジスタ、配線、酸化膜などの要素が持つ耐久性に起因する故障で、デバイスの寿命（耐用年数）を決める指標となります。摩耗故障領域では、故障率が時間経過にしたがって増加し、最終的にはすべてのデバイスが故障あるいは特性不良に至る期間を指します。

以下に、主な半導体デバイスの摩耗故障メカニズムを示します。

- エレクトロマイグレーション
- ホットキャリアによる特性変動
- バイアスと温度による特性の不安定性（BTI）
- 絶縁膜経時破壊（TDDB）
- レーザーダイオードの輝度劣化

半導体デバイスの信頼性は、デバイスを構成する要素ごとにTEG（Test Element Group）を用いて開発検証することがその基礎となります。検証された膨大なデータは、設計ツールに反映され、製品の信頼性目標を達成するように設計されます。無理な使われ方や設計ルールの逸脱は、設計ツール上でチェックされ、実使用環境下の摩耗故障の発生を予防し、長期信頼性を確保しています。よって、半導体製品開発の段階で実検証として行われる信頼性試験では、摩耗故障が生ずることはほとんどありません。

© 2018 Sony Semiconductor Solutions Corporation

(1) 寿命推定方法

市場環境における寿命は、TEG 評価や信頼性試験の故障データより、時間経過における累積故障確率をワイブル確率紙や対数正規確率紙にて直線回帰させ、基準となる累積故障確率に達する時間（またはストレス）と加速試験条件の加速倍率を用いて求めることが出来ます。（図 4-9）

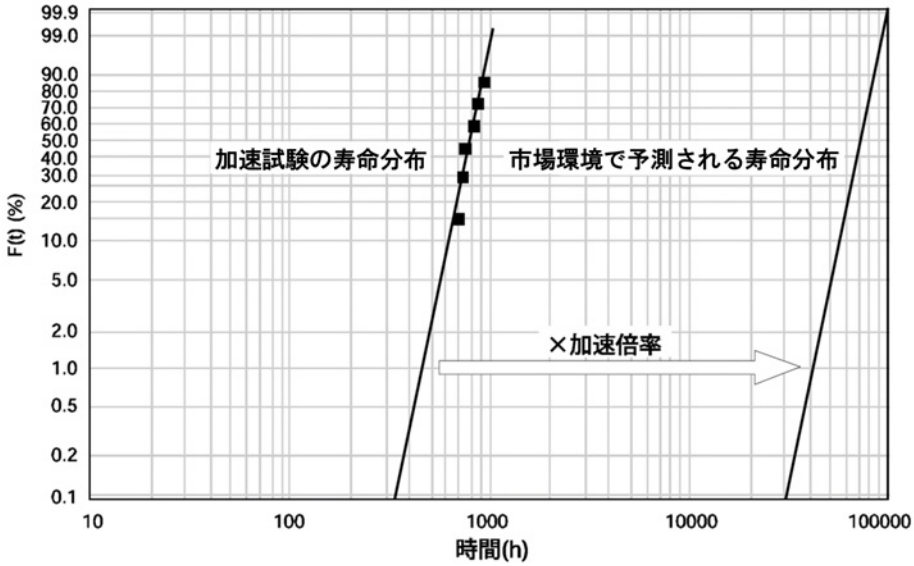



図 4-9　ワイブル確率紙を用いた寿命予測方法

© 2018 Sony Semiconductor Solutions Corporation

# 4.2 半導体の信頼性検証

## 4.2.1 信頼性検証の基本的な考え方

当社では、プロセス開発から量産までの各段階において、半導体デバイスの故障モード（図 4-10 参照）を考慮した信頼性検証を行っています。

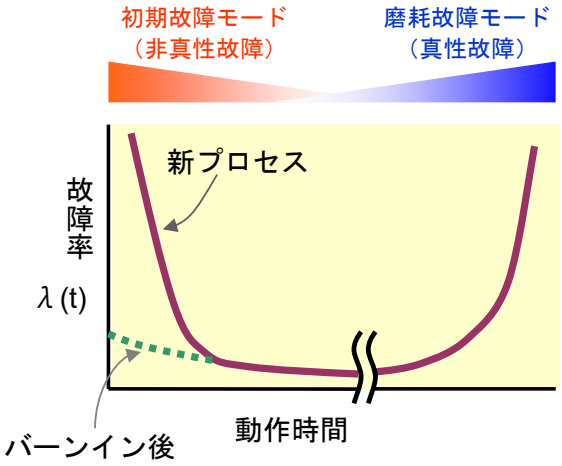



図 4-10　半導体デバイスの故障率曲線

### 4.2.1.1 開発段階における信頼性検証

半導体デバイスの磨耗故障（＝真性故障）による故障時間、いわゆる寿命は、4.2.2 項で述べるプロセス要素の故障メカニズムによって決まります。

プロセス開発段階では､それら故障メカニズムを検証するのに適した TEG(Test Element Group)を用いて信頼性評価を行い、所定の信頼度を満たすことを確認しています。

### 4.2.1.2 試作段階における信頼性検証

**(1) 磨耗故障（真性故障）の信頼性検証**

想定される使用環境および使用期間において､磨耗故障が生じないことを検証するために少量の試作品を用いて長時間の信頼性評価を行います。（表 4-1 参照）

**(2) 初期故障（非真性故障）の信頼性検証**

半導体デバイスは、動作初期に故障率が高く、時間の経過ともに単調減少する傾向があります。

© 2018 Sony Semiconductor Solutions Corporation

これは、ある割合で存在する、ダストなどの製造欠陥を内在した半導体デバイスが故障するためです。この傾向は新プロセスでより顕著になるため、その生産導入時には、バーンインスタディを行い、初期故障率を検証します。

所定の故障率を満足しない場合には、バーンインなどのスクリーニング手法を用いて、製造欠陥を内在した半導体デバイスを除去します。

なお、当社では、継続的にプロセスの安定化および工程改善活動を実行し、製造欠陥を内在する半導体デバイスを減少させ、その結果バーンインを実施しなくても所定の初期故障率を満足するように努めております。

#### 4.2.1.3　量産段階における信頼性検証

開発段階につくり込まれた磨耗故障に関する信頼性レベルが、量産以降も継続的に維持されていることを確認するために量産品を抜取り*、定期的に上述（1）に相当する製品レベルでの信頼性評価を行っています。

＊ ウェーハプロセス、組立プロセスおよび製造場所などの組合せを考慮し、各製品ファミリーからサンプリング

表 4-1 に当社の代表的 LSI 製品の信頼性試験項目を示します。

© 2018 Sony Semiconductor Solutions Corporation

表 4-1　当社の信頼性試験項目（例）

| 試験名 | 略号 | 試験条件 |
|---|---|---|
| 高温動作試験<br>High Temperature Operating Life | HTOL | Tj≧125℃<br>Vop_max　1000h |
| 低温動作試験<br>Low Temperature Operating Life | LTOL | Ta=-55℃<br>Vop_max　1000h |
| 高温高湿バイアス試験<br>Temperature Humidity Bias | THB | Ta=85℃85%RH<br>Vop_max　On/Off　1000h |
| 高温保存試験<br>High Temperature Storage | HTS | Ta=150℃　1000h |
| 温度サイクル試験<br>Temperature Cycling | TC | Ts=-55～125℃　700cyc<br>Ts=-40～125℃　850cyc<br>Ts=-65～150℃　500cyc |
| はんだ耐熱性<br>Moisture Sensitivity Level | MSL | Level-3(標準ランク)<br>(J-STD-020) |
| 静電破壊試験　HBM<br>Electrostatic Discharge Human Body Model | ESD HBM | C=100pF、R=1500Ω<br>(JS-001-2014) |
| 静電破壊試験　CDM<br>Electrostatic Discharge Charged Device Model | ESD CDM | デバイス帯電モデル<br>(JESD22-C101) |
| ラッチアップ試験 電流注入法<br>Latch-Up Trigger Pulse Current Injection Method | LU<br>I-Test | トリガパルス電流注入法<br>(JESD78) |
| ラッチアップ試験 電源過電圧法<br>Latch-Up Supply Overvoltage Method | LU<br>V-Test | 電源過電圧法; Ta=25、125℃<br>(JESD78) |
| バーンインスタディ<br>Burn-In Study (Early Life Failure Rate) | BIS<br>(ELFR) | Tj≧125℃、Vop_max |

© 2018 Sony Semiconductor Solutions Corporation

### 4.2.2　開発・設計段階の信頼性

半導体デバイスには、半導体特有の故障メカニズムが存在しており、プロセス開発段階でこの問題を解決することが信頼性を確保する上で重要な要素となります。各プロセス要素開発の段階で、必要な信頼性を検証し設計ルールに反映させることで安定して製品の信頼性を確保することができます。

表 4-2 に、プロセス開発段階で問題となる代表的な故障メカニズムを示します。プロセスが微細化するに従い、内部電界、電流密度、配線応力の増加などトランジスタや配線にかかるストレスは増加する一方、回路の高速化や寄生インピーダンス（配線抵抗、寄生容量）の増加による動作マージンの低下により、トランジスタの特性変動に対する信頼性の確保が大きな課題となっています。

ここでは、プロセス開発・設計段階で問題となる、半導体デバイスの代表的な故障メカニズムについて記述します。

© 2018 Sony Semiconductor Solutions Corporation

表 4-2　プロセス開発段階の代表的な故障メカニズム

| プロセス要素 | 故障メカニズム | 故障モードと発生要因 |
|---|---|---|
| ゲート絶縁膜 | 酸化膜経時破壊（TDDB） | ゲート絶縁膜の絶縁破壊。ゲート電極に長時間バイアスを印加することでゲート絶縁膜中に欠陥が生成し、微少リーク電流の増加や絶縁破壊に至る現象。 |
| トランジスタ | ホットキャリア（HCI） | ゲート絶縁膜へのホットキャリアトラップによるトランジスタ特性変動。高電界で加速された電子の電離衝突で発生する高エネルギーの電子・正孔が酸化膜中に捕獲されてトランジスタ特性が変動する現象。 |
| | NBTI（スロートラップ） | ゲート負バイアス（NBT）印加による PMOS トランジスタの特性変動。スロートラップ現象とも呼ばれ、高温でバイアスを印加すると界面準位と正の固定電荷が増加してトランジスタ特性が変動する現象。 |
| メモリ素子 | ソフトエラー | 高エネルギー宇宙線粒子（中性子線、陽子線など）、α線などによるメモリデータの誤書換え。主に DRAM、SRAM で発生する一時的なデータのエラー現象。 |
| | リテンション/ディスターブ | 不揮発性メモリのデータ消失。フラッシュメモリでは、長期の保存/動作環境ストレス（読み出し/書き込み電界、温度、応力）により捕獲電荷が消失してデータが反転する現象。 |
| 配線 | エレクトロマイグレーション | 配線中のボイド発生による配線抵抗の増加と断線。電子と金属原子の物理的な衝突により金属原子が移動してボイドが発生する現象。 |
| | ストレスマイグレーション | 配線応力による金属のクリープ現象で配線および接続（ビア）部分にボイドが成長してオープン不良となる。Cu 配線では、配線応力により Cu 配線中の欠陥（原子空孔）がクリープ現象を起こしボイドが成長する現象。 |
| Low-k 層間膜 | 配線間 TDDB | Cu 配線間の絶縁破壊による短絡。主に、low-k 材を用いた層間絶縁膜の CMP 界面を介した絶縁破壊で配線間がショートする現象。 |

© 2018 Sony Semiconductor Solutions Corporation

#### 4.2.2.1　ゲート絶縁膜の経時破壊(TDDB)

MOS FET のゲート絶縁膜は、絶縁耐圧以下の電界を長時間印加していると絶縁膜が劣化して破壊に至る故障メカニズムがあり、絶縁膜の経時破壊（TDDB：Time Dependence Dielectric Breakdown）と呼ばれています。ゲート絶縁膜の TDDB 寿命は、MOS 型半導体デバイスの長期信頼性を決める最も重要な故障メカニズムの一つです。ゲート絶縁膜厚の微細化限界を決める要因とされ、システム LSI ではロジック回路の電源電圧に応じた TDDB 寿命により、ゲート絶縁膜の膜厚が決まることもあります。

(1)　ゲート絶縁膜の寿命分布

一般に、絶縁膜の経時破壊現象は欠陥に起因する初期故障と真性寿命の領域に分けられます。図 4-11 は、ゲート酸化膜（$SiO_2$）の TDDB 測定データをワイブル分布関数でプロットしたもので、初期故障領域と真性寿命領域はワイブル分布の形状パラメータ（グラフの傾き）の違いで分類することができます。TDDB 寿命の短い初期故障領域に分布する絶縁膜は、市場で短時間に故障となる可能性がある欠陥を含んだ酸化膜で、初期故障率を下げるためには欠陥の発生率を抑制することが重要となります。

これに対し、真性領域はゲート絶縁膜に大きな欠陥を含まない膜本来の寿命を示す領域で、長期信頼性を保証するために必要な指標となります。実使用電圧での真性寿命は、高電界ストレス条件で加速した TDDB の評価結果から、電界加速モデルを用いて予測することができます。電界加速モデルには、膜厚や膜質に応じて E-model($\tau \propto \exp(E)$)や Power-law model($\tau \propto E^{-n}$)などが使われます。(図 4-12 参照)

(2)　ゲート絶縁膜の破壊メカニズム

ゲート絶縁膜中には、ウェーハ工程で生じる微小な欠陥や不純物が多数存在しており、真性耐圧より低い電界（電源電圧）を印加した状態でも欠陥を介した微少なリーク電流が流れています。このリーク電流は、時間の経過と共に絶縁膜中に新たな欠陥を生成し、欠陥が蓄積されると絶縁膜の破壊に至ります。

薄膜ゲート絶縁膜の TDDB 破壊では、代表的な故障メカニズムとしてパーコレーションモデルがあります。このモデルは、ゲート絶縁膜中に初期から存在する欠陥に加え、電界を印加することにより流れるトンネル電流で新たに生成される欠陥が、厚さ方向に連続することで絶縁破壊に至る故障モデルです。(図 4-13 参照)

ゲート絶縁膜の膜厚が薄くなると、より少ない欠陥数で絶縁破壊に必要な連続する欠陥が生じるため、TDDB の寿命ばらつきが大きくなります。また、フラッシュメモリでは破壊する前の微少リークにより、書き込みデータが消失（リテンション）する現象が起こります。

© 2018 Sony Semiconductor Solutions Corporation

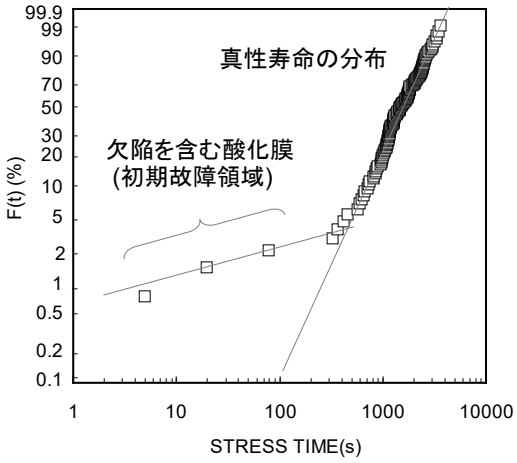



図 4-11　TDDB のデータ分布（ワイブル）

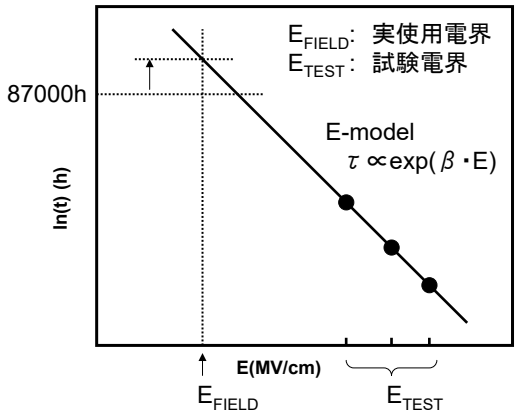



図 4-12　電界加速モデルと寿命予測

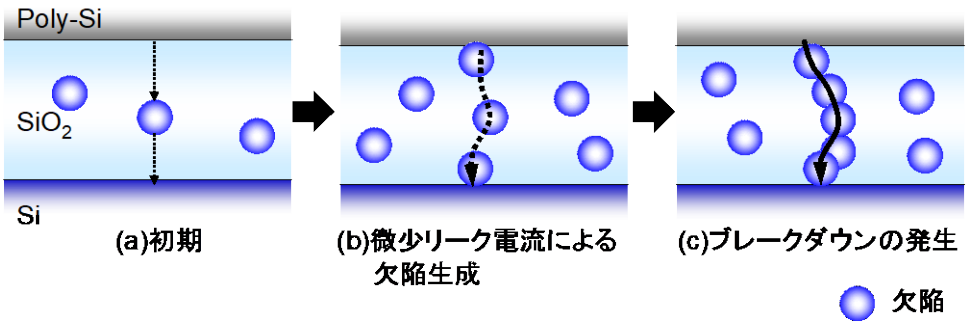



図 4-13　ゲート絶縁膜の故障モデル（パーコレーションモデル）

© 2018 Sony Semiconductor Solutions Corporation

#### 4.2.2.2　ホットキャリア(HCI)

ホットキャリアは、主にMOS FET内で電界により加速され高エネルギーを持った電荷（キャリア）が、ゲート絶縁膜中に捕獲されトランジスタ特性が変動し回路の動作不良を起こす故障メカニズムです。一般的な動作環境では、NMOS FETのチャネルを流れる電子がドレイン近傍の高電界により加速されて起こるドレイン・アバランシェホットキャリア（DAHC）注入が、最も大きなトランジスタの劣化を起こします。一方で、絶縁膜中に電荷を注入するホットキャリアのメカニズムを利用して、不揮発性メモリのデータ書き込みや消去に利用することもあります。

(1)　ドレイン・アバランシェホットキャリア(DAHC)注入

NMOS FETのチャネルに流れる電子が、ドレイン近傍の高電界により加速されインパクトイオン化（電離衝突）を起こして電子-正孔対が発生し、そのうちの高エネルギーを持つキャリア（ホットキャリア）がゲート絶縁膜中に注入・捕獲されて起こるトランジスタの特性変動（しきい値変動、ドレイン電流低下など）を、ドレイン・アバランシェホットキャリア（DAHC）注入といいます。(図4-14参照)

DAHC注入は、NMOS FETでは主に電子の注入が支配的で、ゲート電圧が約1/2・$V_{DS}$の条件で劣化が最大となります。このため、CMOS回路では信号の反転時（H→L/L→H）にホットエレクトロンの注入が起こり、回路を動作させることで劣化が進行します。

この問題を回避する方法として、回路設計段階ではホットキャリアが発生しにくい動作条件（電圧、Duty）を選択する、また回路に必要な動作マージンを持たせることで信頼性を向上させることができます。デバイスの対策では、ドレイン近傍の電界を緩和してホットキャリアの発生を抑えるデバイス構造（LDD構造）を採用するなどの対策を行ないます。

© 2018 Sony Semiconductor Solutions Corporation

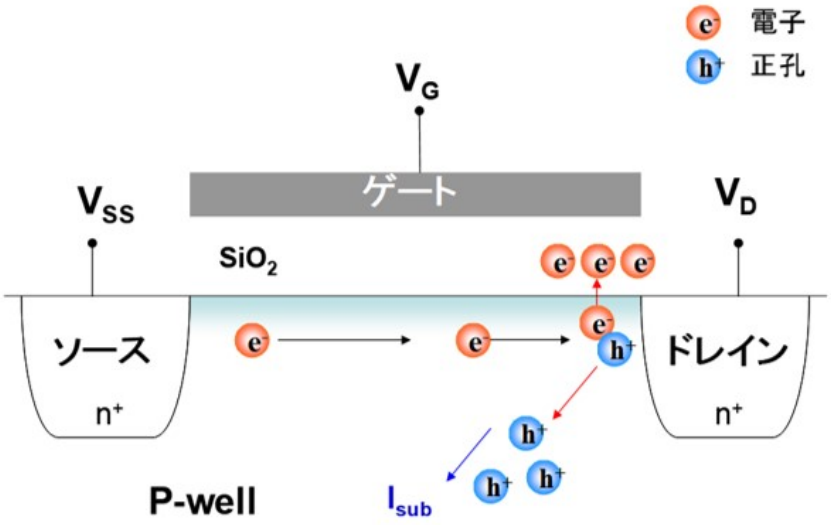



図 4-14　DAHC のメカニズム

#### 4.2.2.3　負バイアス温度不安定性(NBTI ： Negative Bias Temperature Instability)

PMOS FET の負バイアス温度不安定性（NBTI）は、PMOS FET に負のゲートバイアスを印加しているとトランジスタの特性変動が起こる現象で、スロートラップといわれるトランジスタの劣化メカニズムの一つです。先端 MOS プロセスの PMOS　FET では、表面チャネル型のトランジスタを採用することで劣化が増大し、ホットキャリアと並ぶトランジスタの信頼性問題となっています。

(1)　NBTI の劣化メカニズム

PMOS FET に負バイアスを印加すると、Si 表面の正孔が Si-$SiO_2$ 界面の Si-H 結合に捕獲され、Si-H 結合から水素(H)が解離して界面準位を生成します。Si 結合から解離した水素は、ゲート絶縁膜中を拡散して捕獲され正の固定電荷を生成することでトランジスタ特性の劣化が進行します。

$$Si{\equiv}Si\text{-}\ H + hole \Leftrightarrow Si{\equiv}Si\text{-}\cdot^{+} + H$$

$$H + H \Leftrightarrow H_2$$

Si-ゲート絶縁膜界面に生成した界面準位は、PMOS FET の動作時には正電荷を捕獲して正に帯電し、絶縁膜中に生成した正の固定電荷と共にトランジスタのしきい値電圧(Vth)の変動やドレイン電流の低下をもたらします。

NBTI は、ゲートに負バイアスが印加されているとトランジスタ動作に関係なく劣化が起こるため、動作していない回路でも劣化が進行するという特徴があります。一方で、負バイアスストレスが印加されないと変動した特性が急速に回復する現象があり、動作状態では変

© 2018 Sony Semiconductor Solutions Corporation

動量がほとんど動作周波数に依存しないことがわかっています。プロセス条件では、NBTI の劣化量とゲート絶縁膜中の不純物（N,H,B など）濃度やプロファイルに密接な関係があり、特に窒素(N)を多く含むゲート絶縁膜（SiON、SiN）では劣化量が大きくなります。

この問題を回避する方法として、設計ではトランジスタの劣化を考慮して回路動作にマージンを持たせる、またゲート絶縁膜にかかる電界を低下させるなどの対策があります。デバイスでは、界面準位や固定電荷が生成しにくいゲート絶縁膜を形成するなどの対策が取られています。

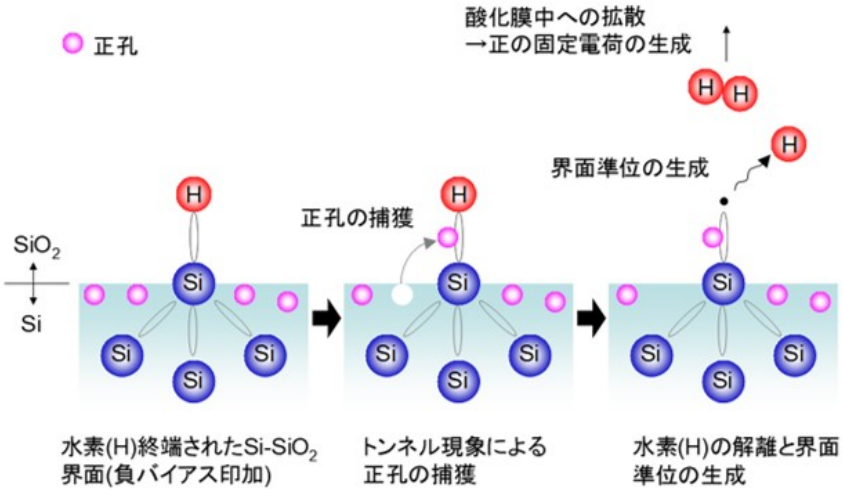



図 4-15　NBTI の故障メカニズム

#### 4.2.2.4　ソフトエラー

メモリ素子などの半導体デバイスでは、α線や宇宙線起因の高エネルギー中性子線などが入射することによって Si 結晶中で大量の電子―正孔対が発生し、その電荷によって記憶ノードが反転してメモリデータがエラーとなるソフトエラーという現象が発生します。ソフトエラーは、一時的にメモリや論理回路のデータが反転する現象で、データを再書込みすることでエラーは回復します。以前は、DRAM で問題となった現象ですが、現在では SRAM でも信頼性上の問題とされています。

##### (1)　α 線によるソフトエラーの発生原理

半導体の樹脂封止パッケージに使われている石英材料には、ごく微量な放射線元素（ウラン：$^{238}$U、トリウム：$^{232}$Th）が含まれています。また、フリップチップで使用する鉛バンプには、ポロニウム($^{210}$Po)が含まれていることがあります。これらの放射線元素から放出され

© 2018 Sony Semiconductor Solutions Corporation

た高エネルギーを持つ α 線は、Si 基板中に入射すると Si 中の飛程に沿って電子(e-)―正孔(e+)対を生成します。空乏層内で発生した電子は、電界によって n 拡散領域に移動して収集され、記憶ノード容量の電位低下が起こります。(図 4-16 参照)

図 4-17 に、SRAM メモリセルのソフトエラーメカニズムを示します。High 側の記憶ノードの電位がドライバトランジスタのしきい値よりも低下すると、Flip-Flop を構成する 2 つのインバータが同時に OFF になり、Flip-Flop は不安定状態となり誤動作を起こします。一般に、High 側の記憶ノードの電位(Vh)はワード線が選択されると Vcc-Vth (ワードトランジスタのしきい値) に低下します。ワード線が非選択状態になると、メモリセルの負荷を通して充電され再び Vcc に戻ります。この Vcc-Vth から Vcc への回復時間が早いほど、すなわちメモリセルの負荷の電流供給能力が大きいほどソフトエラー耐性は向上します。

α 線によるソフトエラー対策では、チップ表面に α 線を吸収するための保護膜を形成する、またパッケージ材料に含まれる放射性元素の含有量を下げた高純度のパッケージ材料を使用するなど、α 線の放出量を低減させる対策が取られています。

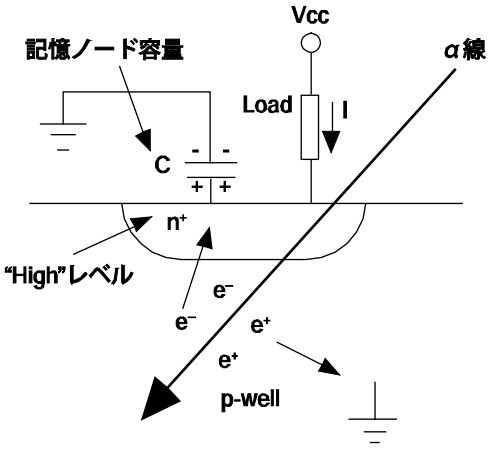



図 4-16　α 線による電子-正孔対の発生

© 2018 Sony Semiconductor Solutions Corporation

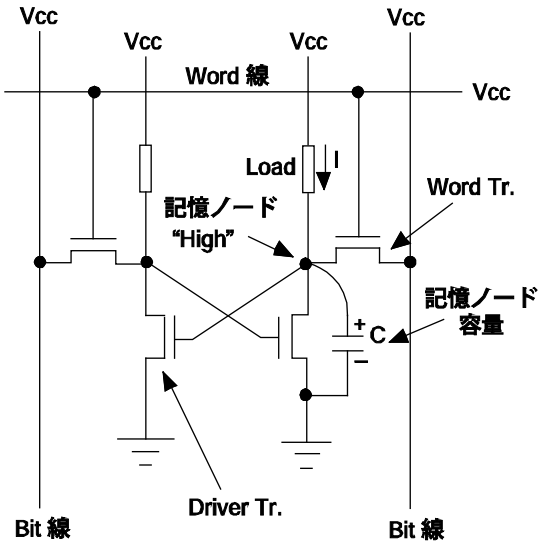



図 4-17　SRAM セルのソフトエラー

(2)　宇宙線によるソフトエラー

高エネルギー宇宙線は、大気中で大気を構成する原子と衝突して高エネルギーの陽子や中性子を生成し、この高エネルギー中性子が Si 中を通過すると、飛程に沿って電子-正孔対を生成したり、Si 原子と衝突して核破砕反応により 2 次イオンを生成しソフトエラーの原因となります。宇宙線により発生する高エネルギー中性子は、地理的条件の違いや大気による遮蔽効果が低い標高の高い地域では、到達量が増加するためソフトエラー発生確率が上昇することが知られています。航空機や人工衛星などの用途では、より深刻な信頼性問題になることがあります。

宇宙線によるソフトエラー対策は、その発生要因を抑制することが困難なため、一定確率で発生する故障モードとして知られています。この対策として、SRAM ではエラー訂正コード（ECC：Error Correcting Code）を搭載してソフトエラーが発生したデータを訂正する方法が取られています。また、SOI 構造などソフトエラーの影響を受けにくいデバイス構造を採用することもあります。

© 2018 Sony Semiconductor Solutions Corporation

#### 4.2.2.5　エレクトロマイグレーション

エレクトロマイグレーションは、金属（Al、Cu）配線に流れる電子と金属原子が物理的に衝突して金属原子が移動し、配線中にボイドが発生して配線抵抗の増加や断線に至る故障メカニズムです。エレクトロマイグレーションは、配線の長期信頼性を決める重要な故障メカニズムです。

(1)　Al 配線のエレクトロマイグレーション

アルミ(Al)配線に使われる薄膜は、スパッタリングにより形成することで Al 原子が多結晶（グレイン）構造で集積された状態になります。(図 4-18 参照）この配線に一定以上の電流を流すと、電子と金属原子の衝突による応力で金属原子が物理的に移動するエレクトロマイグレーション現象が起こります。グレイン境界の金属原子は、結合エネルギーが小さいために移動しやすく、配線中にグレインサイズの不均一な部分があると、グレイン境界で起こるエレクトロマイグレーションによりグレイン境界に沿った形でボイドが成長して断線に至ります。(図 4-19、20 参照)

対策として、プロセスでは Al 配線の中に微量の Cu を添加して Al 原子の移動時間を遅らせて抑制したり、また配線の上下を Ti や W などの金属合金（バリアメタル）で覆って Al 原子の移動を抑制するなどの対策が取られています。回路設計では、配線に流す電流密度を一定値以下にするなどの対策が取られています。

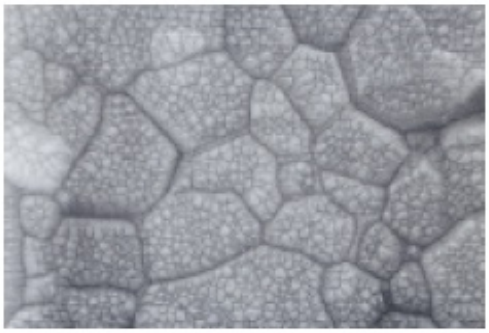


図 4-18　Al 配線のグレイン構造

© 2018 Sony Semiconductor Solutions Corporation

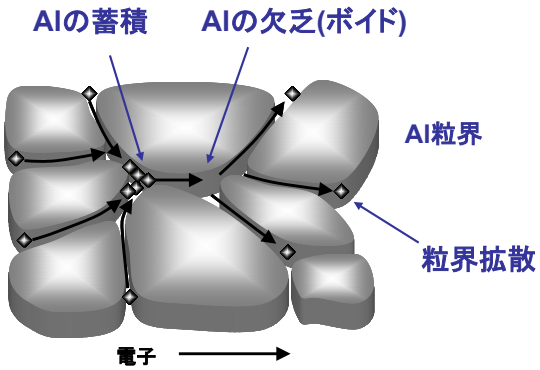



図 4-19　エレクトロマイグレーションのメカニズム

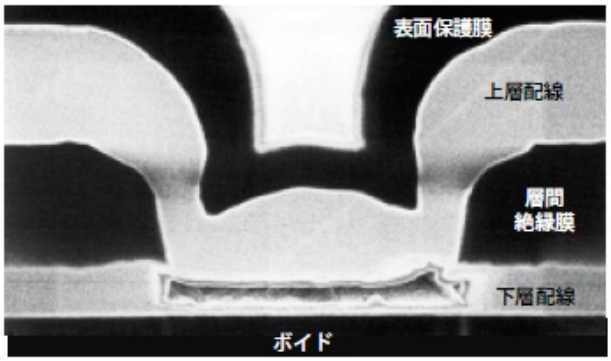



図 4-20　エレクトロマイグレーション写真

(2)　Cu 配線のエレクトロマイグレーション

Cu 配線は、電解めっきによる埋め込み配線（damascene）プロセスで形成され、Al 配線に比較して融点や活性化エネルギーが Al 配線より高く、エレクトロマイグレーションに対して Al 配線の数 10～数 100 倍の高い信頼性を示します。しかし、先端プロセスでは配線の微細化による電流密度の増加により、エレクトロマイグレーション耐性は信頼性上の重要な課題となっています。

Cu 配線の EM 耐性は、結晶の粒径や配向性、Cu/バリアメタル界面の密着性に大きく影響されることが知られています。とくに、周囲をバリアメタルで囲う構造を持つ Cu 配線は、平坦化を行う上面の Cu とキャップ層の密着性が低下すると界面の Cu が動き易くなり、マイグレーションを起こす原因となります。このため、プロセスでは Cu とキャップ層界面の密着性を向上させる対策が重要になります。回路設計では、配線に流す電流密度を一定値以下にするなどの対策が取られています。

© 2018 Sony Semiconductor Solutions Corporation

#### 4.2.2.6　ストレスマイグレーション

ストレスマイグレーションは、金属配線にかかる応力により金属原子がクリープ現象を起こして配線中にボイドが発生し、配線抵抗の増加や断線に至る故障メカニズムです。LSI に使われる金属配線（Al、Cu）には、製造プロセスの熱工程と使用環境温度との温度差により応力が発生します。この応力により、配線金属中の欠陥（Vacancy）がクリープ現象を起こして一箇所に集まりボイドを形成します。

ストレスマイグレーションは配線応力と金属原子のクリープ現象の相互作用で発生し、金属原子のクリープ速度が高温になるほど大きくなるのに対し、配線にかかる応力は高温になるほど緩和されて減少するため、ストレスマイグレーションが発生する温度にはピークがあることが知られています。

**(1)　Al 配線のストレスマイグレーション**

Al 配線では、多結晶構造の粒界に欠陥や結合力の弱い Al 原子が多く存在するため、配線に引っ張り応力がかかると粒界の Al 原子や欠陥がクリープ現象を起こしてボイドが形成されます。引っ張り応力により発生する Al 配線のボイドは、主に結晶粒界に沿って成長し配線の抵抗上昇や断線不良に至ることがあります。(図 4-21 参照)

Al 配線のストレスマイグレーションは、一般的に 150～200℃前後で発生率にピークを持つといわれ、高温環境で長時間使用するデバイスでは長期信頼性の問題となることがあります。

この対策として、設計では配線に過度な応力がかからないようなパターン設計を行ないます。プロセスでは、Al 配線の上下をバリアメタル（Ti、W など）で積層した配線構造を用いることで、ストレスマイグレーションの発生を防ぐことができます。また、応力を緩和する層間膜構造や熱工程の最適化により、配線の残留応力を低減させる対策を行ないます。

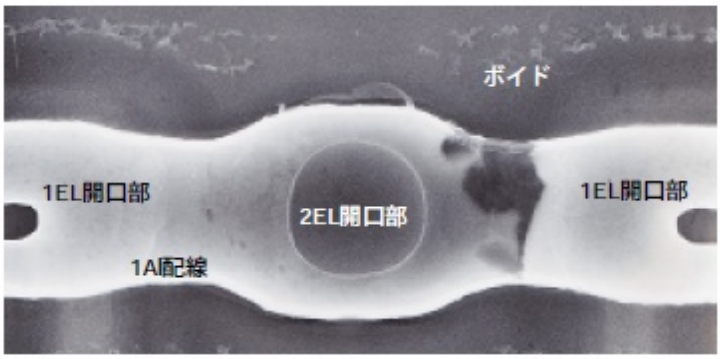



図 4-21　Al 配線のストレスマイグレーションによる断線不良

© 2018 Sony Semiconductor Solutions Corporation

(2) Cu 配線のストレスマイグレーション

Cu 配線のストレスマイグレーションは、上下の配線間を接続するビア部分にボイドが発生する SIV (Stress Induced Voiding) モードが信頼性の問題となります。広い配線と細い配線を単一のビアで接続すると、広い配線側の引っ張り応力がビアに集中して Cu 配線中の欠陥がクリープ現象により、ビア部分に移動してボイドを生成します。(図 4-22 参照) Cu ビアのストレスマイグレーションは、200℃前後に発生温度のピークがあることが知られていますが、この故障は Cu 配線形成後の高温アニール工程で発生する応力に大きく依存し、短時間で発生するため初期故障の原因となります。

この対策として、設計段階では広い配線と細い配線を接続する部分を複数のビアで接続する方法が用いられます。複数のビアで配線間を接続した場合、1 つのビアに応力が集中してボイドが発生すると、もう一方のビアにかかる応力は緩和されてボイドが発生しなくなるため、配線間がオープン不良となることを防ぐことができます。プロセスでは、Cu 配線の応力を緩和することや、Cu 配線中の欠陥を低減させるプロセス条件を選択するなどの対策が取られます。

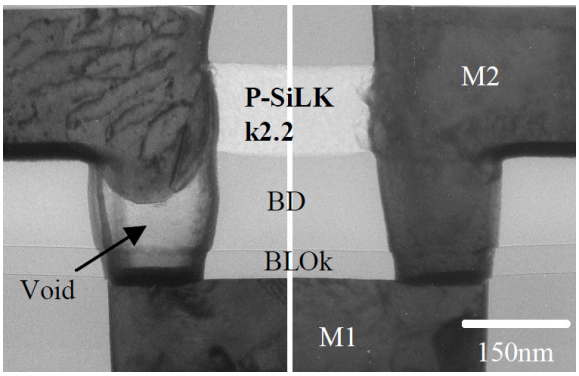



図 4-22　Cu 配線のビアに発生したストレスマイグレーションによるボイド

＜参考文献＞

1) R Kanamura et al.,Symp. on VLSI Tech.,p.107,2003

© 2018 Sony Semiconductor Solutions Corporation

# 4.3 信頼性試験

信頼性試験とはアイテムの信頼性の特性、もしくは性質の測定、計測又は分類のために行われる試験と JIS で定義されています。

この章では主に半導体デバイスの動作寿命や衝撃などの機械的ストレス、静電気（ESD）に対する耐性を測る代表的な信頼性試験の概要と近年注目されてきた試験について解説します。

## 4.3.1 高温動作試験(HTOL: High temperature operating life)

高温動作試験は、半導体の高温バイアス条件における加速条件下での動作寿命を模擬する試験です。試験条件は市場想定環境により異なりますが、125℃、150℃が用いられる事が多く（Tj が限界値を超えない範囲で選択する事が重要です）、主に電界，電流，温度で加速される故障メカニズム（TDDB、EM、NBTI など）に対する寿命確認を目的に行われる試験です。

機械的強度や湿度感受性の故障、ESD 耐性を除く大半の故障の把握に有効です。

旧来のプロセスでは、HCI（hot carrier injection）劣化は活性化エネルギーが負の値をとるため、低温動作試験が有効とされていましたが、最新のデバイスでは HCI 劣化も正の活性化エネルギーをとる場合も多く、プロセスによっては HCI にも有効な場合があります。

温度に対する加速性は HAST の項でも述べていますが、一般的にアレニウスの定理に従い（詳細は 4.4.1 環境ストレスにおける加速モデルを参照）、電圧に対する加速性は劣化対象によって電圧だけではなく電界で加速性を考えた方が良い場合があります。

## 4.3.2 高温高湿バイアス試験(THB: temperature humidity bias)

半導体デバイスの高湿度環境での寿命を把握するための試験で、主に湿度透過性封止材料、ガラスシール材料を経路とし半導体チップへ伝搬する水分と半導体の劣化反応を加速させる条件で行われます。試験条件は一般的に 85℃85%RH が選択される場合が多いですが、デバイスの構成材料によっては、温度を下げるなどの配慮が必要です。単なる湿度試験と違い電源が供給された状態で行われるため、不純物が水分，電界によってイオン化することで引き起こす電気化学的反応（ガルバニック腐食、イオンマイグレーション）等を原因とする故障耐性も確認することができます。

湿度の加速性は、相対湿度モデル、絶対水蒸気圧モデルで導かれます。

試験実施時はデバイスの自己発熱を考慮し、電源の連続、断続供給を決定する必要があります。また、試験時はもちろん、試験槽から取り出す際の急激な温度低下によるシールガラスの結露などに細心の注意を払わなければなりません。このような好ましくない状況を回避するため、試験槽の高湿空気循環路内の不要な水分を除去し、温湿度が低下した後に取り出すなどの配慮を行います。

© 2018 Sony Semiconductor Solutions Corporation

### 4.3.3　温度サイクル試験(T/C: temperature cycling)

半導体デバイスは複数の材料により構成されています。特にパッケージは複数の材料で複雑な構造を実現しています。これらの構成材料には固有の熱膨張係数があり、温度が変化することで機械的ストレスが生じます。半導体デバイスが繰り返し高温と低温に晒されることは、膨張と収縮を繰り返すことになり、同時に機械的ストレスも繰り返されます。

これらのストレスに対する耐性、寿命を確認することを目的に行われる試験です。

線膨張、熱膨張係数の差分が大きい材料の結合部剥離（シールガラスなど)、配線（アルミ）スライド、ワイヤオープン、パッシベーション（保護膜）クラック、はんだ内部接続の破断などの故障が検出可能です。

加速性については、一般的に温度差を因子とする「べき乗則」が用いられますが、材料の低サイクル熱疲労のように、温度差によるひずみ振幅を因子とする場合もあります。(4.4.1 環境ストレスにおける加速モデル　参照)

また、市場寿命換算する場合はマイナー則も視野に入れるべきです。マイナー則で用いる S-N 線図では疲労限界以下のストレスの場合に疲労破壊はストレスの回数に依存しません。

つまり市場でのストレス（温度差）が小さい場合、温度サイクル試験で与えるストレスでは故障は生じるが市場環境では故障しないことが十分ありえることを意味します。

© 2018 Sony Semiconductor Solutions Corporation

### 4.3.4　PTC

PTC とは、パワー温度サイクル試験(Power and Temperature Cycling)のことで、半導体デバイスの動作と温度環境を周期的に変化させて、デバイスの最悪の温度環境耐性を確認する試験方法です。

近年注目を集める、複合試験に分類される評価方法で、パワーデバイスに用いられてきたパワーサイクル試験と、一般的な半導体デバイスに用いられてきた温度サイクル試験を合わせた試験方法となっており、接続信頼性を評価する試験方法です。接続信頼性と合わせて、試験中のデバイスの動作をモニターすることで、低温～高温全ての温度範囲で動作試験を実施可能です。

適用される製品は、動作保証範囲内の全ての温度でパワーオンとパワーオフが必要な半導体デバイスです。具体的には、屋外など温度変化の大きい環境下で使用される製品が考えられます。一例としては、車載用途半導体デバイスに対して、AEC-Q100 要求で実施要件に当てはまる半導体デバイスに対して試験実施を求められています。AEC-Q100 での実施要件としては、電力 1W 以上または、ΔTj≧40℃の製品です。

試験規格としては、JEDEC JESD22-A105 が用いられ、AEC-Q100 でも参照規格として JEDEC 規格が用いられています。

・ JEDEC 標準試験条件

表 4-3　標準試験条件 *1

| Test Condition | Temperature Extremes Degrees C. | Transition Time Between Temp Extreme, Max. | Dwell Time at Each Temp Extreme, Min. |
|---|---|---|---|
| A | -40(+0, -10)<br>to<br>+85(+10, -0) | 20 minutes | 10 minutes |
| B | -40(+0, -10)<br>to<br>+125(+10, -0) | 30 minutes | 10 minutes |

© 2018 Sony Semiconductor Solutions Corporation

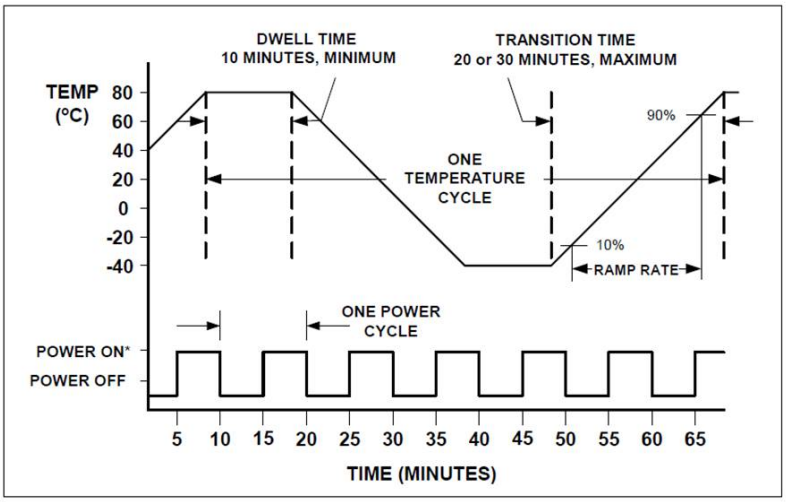



図 4-23　パワー温度サイクル標準試験条件 *1

*1：From JESD22-A105C, ©Copyright JEDEC. Reproduced with permission by JEDEC.

・ AEC-Q100 標準試験条件 *2

Grade 0:  Ta of -40°C to +150°C for 1000 cycles.

Grade 1:  Ta of -40°C to +125°C for 1000 cycles.

Grades 2 and 3: Ta -40°C to +105°C for 1000 cycles.

*2：AEC-Q100-Rev-H  Page11

想定される故障モード・信頼性問題としては下記が考えられます。

・ 構成される材料毎に熱膨張率(CTE：Coefficient of Thermal Expansion)が異なることでの破壊、破断
・ 接続信頼性
・ 周囲温度環境下でのパワーオン/パワーオフによる急峻な局所的な発熱
・ コールドスタートによる不具合

© 2018 Sony Semiconductor Solutions Corporation

#### 4.3.4.1　試験実施の際の注意点

・ 前処理(PC：Precondition)

試験実施前に必要な前処理の実施が必要です。

・ 温度サイクルの温度上昇/下降速度(Ramp Rate、以下ランプレートとします)

はんだ接続を有する半導体デバイス、大きな熱容量・低い熱伝導効率のパッケージへは、15℃/min 以下のランプレートを適用することが必要です。

・ パッケージ温度・ジャンクション温度

試験対象の半導体デバイスが、大パワー、高発熱デバイスを対象とするので、デバイスのパワーオン時にパッケージ温度、ジャンクション温度が周囲温度よりも大幅に高くなる可能性があります。パッケージ温度やジャンクション温度の最大定格を超えないように、試験を実施する必要があります。

・ 試験実施時のデバイスの動作確認

半導体デバイスの動作状態を常にモニターして、デバイス故障・不具合を検出できる仕組みが必要です。

### 4.3.5　HAST

HAST (Highly-Accelerated Temperature and Humidity Stress Test) は、高温高湿条件下での寿命を把握するため、耐湿性の加速試験として実施されます。

半導体デバイスには高温高湿下で通電が行われているため、金属配線の腐食やイオンマイグレーションなどの故障を早期に検出することができます。

湿度起因による加速モデルでは、加速因子として絶対水蒸気圧、または相対湿度を用います。

耐湿性を確認するための加速因子は湿度のみで印加されることは少なく、温度と湿度を併用して評価されます。

これは湿度が関与する反応を促進させるためで結果的に湿度ストレスをより加速する事に繋がります。

湿度に関する加速モデルとしては、絶対水蒸気モデルと相対湿度のべき乗則とアレニウス則の積となる相対湿度モデルが用いられることが多く、詳細は、4.4.1 環境ストレスにおける加速モデルで解説しています。

© 2018 Sony Semiconductor Solutions Corporation

#### 4.3.5.1　THB 試験との違い

HAST は水の沸点を超える試験で、試験槽内の圧力を上げることで水の沸点を上昇させ高温高湿環境を実現する THB 試験より高加速な試験となります。

高加速な HAST では、試験目的外の故障を発生させないため、試験温度や試験に使用する純水の比抵抗、構成材料のガラス転移温度などに配慮が必要です。

#### 4.3.5.2　本試験に関する最近の動向

耐湿性の加速試験として、THB 試験の他に HAST での評価も増えつつあります。しかし、従来の HAST 試験装置は試験槽から空気が排出されているため、THB 試験装置とは試験槽内の環境が異なり HAST は金属酸化評価に最適ではありませんでした。

近年、試験槽から空気を排出しないことで酸素の影響も加味できる HAST 試験装置が開発されています。

#### 4.3.5.3　試験に対する配慮

HAST は高温高湿下で実施する試験のため、半導体デバイスに結露を発生させる恐れがあり、試験槽内で結露させない配慮が必要となります。また半導体デバイスを試験槽から取り出す際の急激な温度の変化により結露を生じる可能性があり、結露を防ぐため試験槽内の温度を室温と同等以下にするなどの配慮が必要です。

結露による不具合の事例としては、半導体デバイスの端子の酸化や中空パッケージの光路上の結露による光学特性の劣化などがあげられます。

また中空パッケージの場合、水蒸気圧や温湿度を徐々に落とさずに半導体デバイスを取出すと、中空内の減圧によってパッケージに変形が生じる場合があるため配慮が必要です。

© 2018 Sony Semiconductor Solutions Corporation

## 4.3.6　タンブル試験

タンブル試験（Tumble test）は落下試験方法の一つで、規定の回転箱内に設置された供試品を繰り返し回転落下させることで、製品が使用中に受ける落下衝撃の影響を再現し評価する方法です。IEC 60068-2-31（2008）及び JIS C 60068-2-31（2013）などで標準化され、スマートフォンをはじめとする小型軽量なセルラー機器、ハンディターミナルやディスプレイなど、更にはこれらに組み込まれるモジュール製品などに適用され、欧州の顧客を中心にその要求も強いものがあります。通常の自然落下試験が、供試品の面、角、稜を姿勢制御し繰り返し性良く自然落下させる方法であるのに対し、回転箱内の供試品の挙動が必ずしも一様ではないことから、ランダム落下試験とも呼ばれ、予期せぬ故障の検出や、市場故障の再現に役立つとされています。また、本試験に適用される試験条件と厳しさは、一見して過酷なものですが、製品の堅牢性やロバスト性を分類する試験方法としても定着化しています。

試験装置の仕様は上述した国際標準規格にて規定されており、その一例（落下高さ１ｍ）を図 4-24. に示します。実際の供試品の形状や重量によってはそのまま適用できない場合があるので注意する必要があります。

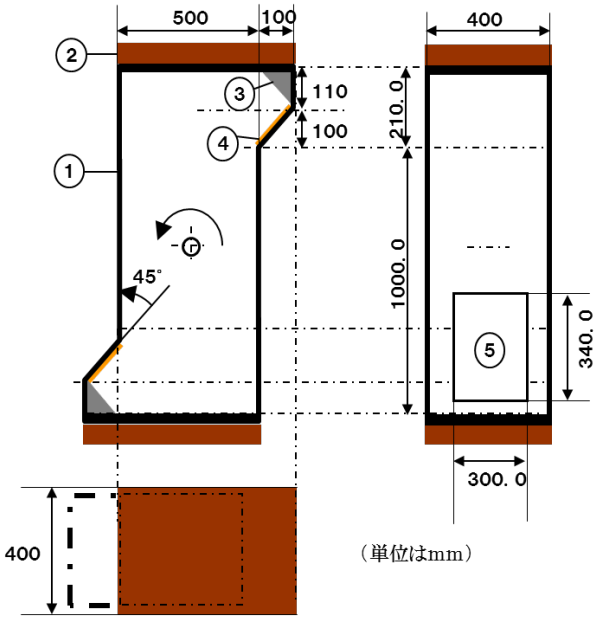



図 4-24　タンブルテスター（例）

© 2018 Sony Semiconductor Solutions Corporation

（図 4-24　補足）

① 回転体の胴体は厚さ１．５ｍｍの鋼板（ステンレス鋼、以下鋼板）で作られます。

② 落下床面は厚さ３ｍｍの平坦な固定した鋼板とし厚さ１０～１９ｍｍの木板で裏打ちされます。

③ 落下と落下との間で供試品を停止させるには規定の硬度のくさび形のゴムを取り付けます。
　８０±２０　ＩＲＨＤ硬度（ＪＩＳ　Ｋ　６２５３-１９９３；加硫ゴムの硬さ試験方法）

④ 回転箱内の滑落面は、アクリル板などの滑らかで硬いプラスチックの板で作り、傾斜を４５度とします。

⑤ 回転箱の開口部には、透明なアクリル樹脂板で扉を作ります。

次に代表的な試験条件と厳しさを表 4-4 に示します。回転速度はおよそ５～６ｒｐｍで、供試品が回転箱内部の側面に衝突しないように（１．０ｍ落下を確保する）、小型カメラなどで回転箱内部の供試品の挙動を観察したうえで決定することが望ましいと考えられます（図 4-25　参照）。

| | |
|---|---|
| 落下高さ | 1.0 m |
| 回転速度 | 約 5 rpm * |
| 厳しさ | 100 回落下<br>(50 回転) |

表 4-4　代表的なタンブル試験条件と厳しさ

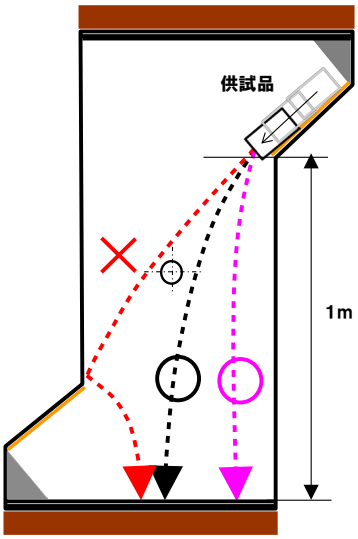



図 4-25　供試品の落下挙動

（図 4-25　補足）

供試品が回転箱内面に衝突しないよう、回転箱の回転速度を選択する必要があります。

供試品が軽い程、回転速度が速い程、供試品は箱内側面に衝突します。なお、落下後のリバウンド等についての規定はなく制御も困難と考えられます。

© 2018 Sony Semiconductor Solutions Corporation

# 4.4 加速モデル

一般的に、半導体デバイスも含めた部品の故障は、原子や分子レベルの何らかの反応によって生じ、Eyring の絶対反応速度論（以下、Eyring モデル）で記述することができます。

この Eyring モデルは、絶対温度 T が信頼性で着目すべき温度領域では、寿命時間 L が、図 4-23 に示す活性化エネルギーEa、故障の誘因となる温度以外のストレス S、ボルツマン定数 k(8.617×10E-5[eV/K])より、変数分離形の次式で表されます。

$$L=A\cdot S^{-n}\cdot \exp(Ea/kT) \qquad \cdots\cdot 式 4.4.1$$

ここで、A,n は定数を示します。

以下、半導体デバイスで用いられる環境ストレスと動作ストレスに関する加速モデルの概要を説明します。

## 4.4.1 環境ストレスにおける加速モデル

**(1) 温度加速モデル**

式 4.4.1 右辺の exp(Ea/kT)の部分は、19 世紀に Arrhenius によって経験的に導出された式と同じため、Arrhenius モデルとも呼ばれています。

Ea は活性化エネルギーを示し、単位は eV です。活性化エネルギーは化学的、物理的反応が進むために必要なエネルギーで、半導体では一般的に[ev]の単位を用います。故障メカニズムの化学的、物理的反応が同じであれば、活性化エネルギーは必然的に同じになります。

$$L=A\cdot \exp(Ea/kT) \qquad \cdots\cdot 式 4.4.2$$

**(2) 湿度加速モデル**

湿度起因による加速モデルは、絶対水蒸気圧 $V_P$、または相対湿度 RH を湿度ストレスとして表されます。

以下、代表的なモデルを示します。

① 絶対水蒸気圧モデル

温度ストレスと湿度ストレスを絶対水蒸気圧 $V_P$ で表したモデルで、経験的に適合することが知られています。$V_P$ は温度に依存するため、Eyring モデルで記述することはできません。

$$L=V_P^{-n} \qquad \cdots\cdot 式 4.4.3$$

© 2018 Sony Semiconductor Solutions Corporation

② 相対湿度モデル

$V_P$ が温度に依存するため、絶対温度 T と相対湿度 RH の変数分離形することにより Eyring モデルに則する形で表されたモデルで、式 4.4.1 において、S=RH の場合に相当します。

$$L=A\cdot(RH)^{-n}\cdot\exp(Ea/kT) \quad \cdots\cdot 式4.4.4$$

③ Lycoudes モデル

温度、相対湿度と電圧の関数を掛け合わせたモデルもあります。代表例として N.Lycoudes によって報告された Lycoudes モデルと呼ばれている式を以下に示します。

$$MTTF=A\cdot\exp(Ea/kT)\cdot\exp(B/RH)\cdot V^{-1} \quad \cdots\cdot 式4.4.5$$

ここで、V は電圧、B は定数を示します。

### (3) 温度差加速モデル

温度差によって生じる応力（熱応力）が繰返し印加されることによって生じる故障に適用され、そのサイクル数 N は、温度差を ΔT とすると、式 4.4.1 において、S=ΔT と置くことによって、次式で表されます。

$$N=A\cdot\Delta T^{-\alpha} \quad \cdots\cdot 式4.4.6$$

〔補足〕

材料の熱疲労による故障（サイクル寿命）Nf は、低サイクル疲労においては、非弾性歪振幅を Δε とすると、次式の Coffin-Manson モデルに従います。

$$\Delta\varepsilon\cdot Nf^{\alpha}=C \quad \cdots\cdot 式4.4.7$$

ここで、α,C は材料定数である。

低サイクル疲労においては、繰返しの熱応力による故障は Coffin-Manson モデルに従い、温度差加速モデルはその一形態と考えられます。半導体チップの故障の場合、概ね温度差加速モデルで記述することができますが、パッケージを含む実装の故障の場合には、はんだバンプ接合部の熱疲労寿命などのように、Coffin-Manson モデルを考慮する必要があります。Norris 等によって指摘された温度サイクル周波数と最高温度の影響から修正された Coffin-Manson モデルの変形式を示します。

$$Nf=C\cdot f^{m}\cdot\Delta\varepsilon^{-n}\cdot\exp(Q/kT_{MAX}) \quad \cdots\cdot 式4.4.8$$

ここで、Nf は疲労寿命、C は材料定数、m と n は指数、f は繰り返し周波数、Δε は非弾性歪振幅、Q は活性化エネルギー、k はボルツマン定数、$T_{MAX}$ は使用最高温度を示します。

© 2018 Sony Semiconductor Solutions Corporation

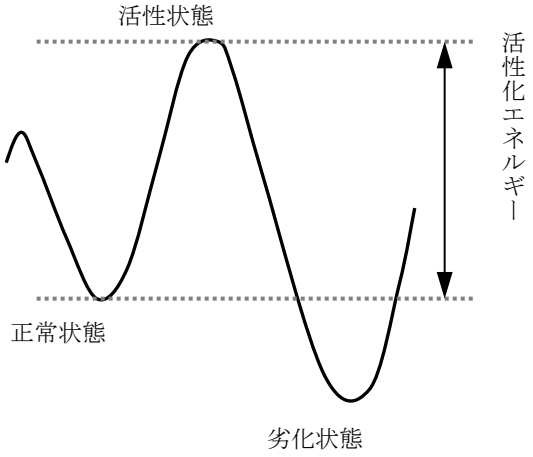



図 4-26　活性化エネルギー

## 4.4.2　動作ストレスにおける加速モデル

半導体デバイスでは、寿命を決める動作ストレスは、電圧、電流、電界強度、電流密度などが挙げられ、4.2.2 項で述べたように故障メカニズムによって異なります。以下、主な故障メカニズムに関する加速モデルを示します。

なお、これらの寿命は、温度にも依存しますので、動作ストレスと温度ストレスの Eyring モデルで表わされます。

**(1)　ゲート酸化膜の経時破壊(TDDB) の加速モデル**

TDDB によるデバイスの寿命(TTF)は、ゲート酸化膜厚に依存します。5nm 以上は Eox モデル、2nm より厚く 5nm より薄い場合は Vg モデル、2nm より薄い場合は、Power-law モデルが適切とされています。

① Eox モデル

$$TTF=A\cdot\exp(-\gamma_{EOX}\cdot Eox)\ \exp(Ea/kT) \qquad \cdots\cdot 式 4.4.9$$

② Vg モデル

$$TTF=A\cdot\exp(-\gamma_{Vg}\cdot Vg)\ \exp(Ea/kT) \qquad \cdots\cdot 式 4.4.10$$

③ Power-law モデル

$$TTF=A\cdot Vg^{n}\cdot\exp(Ea/kT) \qquad \cdots\cdot 式 4.4.11$$

ここで、$\gamma_{EOX}$は電界強度加速係数、$\gamma_{Vg}$，n は電圧加速係数、Eox はゲートにかかるストレス電界、Vg はゲートにかかるストレス電圧を示します。

© 2018 Sony Semiconductor Solutions Corporation

### (2) ホットキャリア (HC) の加速モデル

ホットキャリアによるデバイスの寿命は、基板電流によって記述される基板電流モデルと、ドレイン電圧によって記述される 1/ Vds モデルがあります。0.25um、0.15um 世代以降のプロセスノードは、基板電流以外の要素が大きくなり 1/ Vds モデルが適応される傾向にあります。

① 基板電流モデル

$$TTF=A\cdot Isub^{-m}\cdot \exp(Ea/kT) \qquad \cdots\cdot 式 4.4.12$$

② 1/ Vds モデル

$$TTF=A\cdot \exp(B/Vds)\cdot \exp(Ea/kT) \qquad \cdots\cdot 式 4.4.13$$

ここで、m は基板電流依存係数、B は電圧依存係数、Isub はストレス時の最大基板電流、Vds はストレス時のドレイン電圧を示します。

### (3) NBTI (Negative Bias Temperature Instability)の加速モデル

NBTI におけるデバイスの寿命は、以下のような式が使われることが多いです。

$$TTF=A\cdot \exp(\gamma\cdot Eox)\ \exp(Ea/kT) \qquad \cdots\cdot 式 4.4.14$$

$$TTF=A\cdot Eox^{\gamma}\cdot \exp(Ea/kT) \qquad \cdots\cdot 式 4.4.15$$

$$TTF=A\cdot Vg^{n}\cdot \exp(Ea/kT) \qquad \cdots\cdot 式 4.4.16$$

ここで、γは電界加速係数、n は電圧加速係数、Eox はゲート酸化膜にかかる電界強度、Vg はゲート酸化膜にかかる電圧を示します。

### (4) エレクトロマイグレーション(EM)の加速モデル

EM 寿命の理論的な取扱いは、Huntington の式が一般的に用いられています。

$$\partial C/\partial t=D\nabla\ \{\nabla C-(eZ^*/kT)\ E\cdot C\} \qquad \cdots\cdot 式 4.4.17$$

ここで、C は原子濃度、D は拡散係数、Z*は有効原子価、E は電界、e は電子の電荷、k はボルツマン係数、T は絶対温度を示します。

実際の EM 寿命(TTF)は、経験的に求められた Black の式が広く用いられています。T は絶対温度、j は電流密度、Ea は活性化エネルギー、A は比例係数、n は電流密度関数、k はボルツマン定数です。

$$TTF=A\cdot j^{-n}\cdot \exp(Ea/kT) \qquad \cdots\cdot 式 4.4.18$$

© 2018 Sony Semiconductor Solutions Corporation

＜参考文献＞

1) JEITA　EDR-4704A：半導体デバイスの加速寿命試験運用ガイドライン

2) JEITA　EDR-4707：LSI の故障メカニズム及び試験方法に関する調査報告

3) JEITA　ETR-7024：鉛フリーはんだ接合部の信頼性に対するボイド許容基準の標準化に関する調査報告

4) N. J. Flood：Reliability aspects of plastic encapsulated integrated circuit, IRPS (1972)

5) D. S. Peck：Temperature-humidity acceleration of metal-electronics failure in semiconductor devices, IRPS (1973)

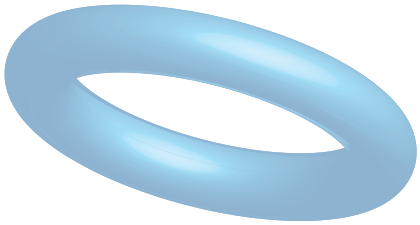
6) N. Lycoudes：The reliability of plastic microcircuit in moist environments, Solid State Technology (1978)

7) T. Gasser：Hot Carrier Degradation in Semiconductor Device

8) Comparison of NMOS and PMOS hot carrier effects, IEEE transaction on electron devices (1997)

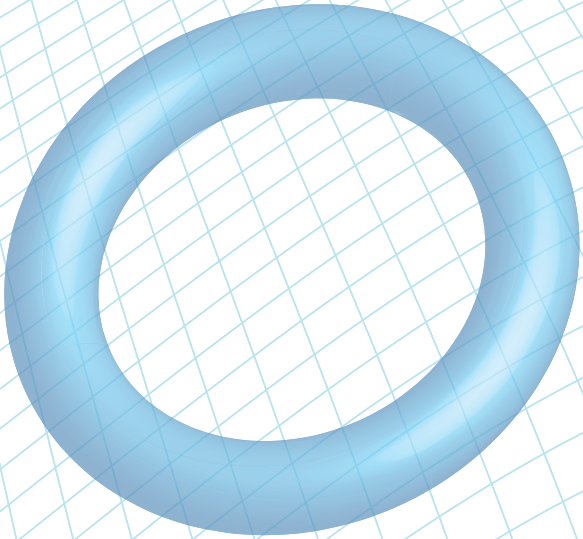
9) H. B. Huntington：Diffusion in Solids, Academic Press (1975)

© 2018 Sony Semiconductor Solutions Corporation



# 第5章 故障解析技術

Chapter 5 Failure Analysis Technologies



# 第5章　目次

5.　故障解析技術
5.1　故障解析とは.....5-3
5.2　故障解析技術の必要性.....5-3
5.3　故障解析技術.....5-4
5.3.1　故障解析の役割と目的.....5-4
5.3.2　一般的な故障解析フロー.....5-4
5.3.3　故障発生状況の調査.....5-5
5.3.4　外観観察.....5-5
5.3.5　電気特性評価.....5-6
5.3.6　パッケージ／モジュール解析技術.....5-8
5.3.6.1　概要.....5-8
5.3.6.2　X線透視観察・超音波探傷観察.....5-8
5.3.6.3　スキャンニングSQUID (Superconducting QUantum Interface Devic)
顕微鏡解析.....5-9
5.3.6.4　TDR (Time Domain Reflectometry) 解析.....5-11
5.3.6.5　発熱解析技術.....5-13
5.3.7　チップ解析技術.....5-14
5.3.7.1　概要.....5-14
5.3.7.2　故障箇所特定技術.....5-14
5.3.7.2.1　故障推論技術.....5-15
5.3.7.2.2　発光解析技術.....5-16
5.3.7.2.3　発熱解析技術.....5-18
5.3.7.2.4　IR-OBIRCH解析技術.....5-19
5.3.7.2.5　DLS (Dynamic Laser Stimulation) 解析技術.....5-20
5.3.7.2.6　EOP(Electro Optical Probing)／
EOFM(Electro Optical Frequency Mapping)解析技術...5-21
5.3.7.2.7　微細プローブ解析技術　特性評価／
EBAC (Electron Beam Absorbed Current).....5-22

© 2018 Sony Semiconductor Solutions Corporation

5.3.7.3　特殊加工技術 ..... 5-24
5.3.7.3.1　再組立て技術 ..... 5-24
5.3.7.3.2　活き造り加工技術 ..... 5-25
5.3.8　チップ物理解析技術 ..... 5-26
5.3.8.1　概要 ..... 5-26
5.3.8.2　層間剥離技術 ..... 5-26
5.3.8.3　チップ表面・裏面観察技術 ..... 5-27
5.3.8.3.1　走査型電子顕微鏡（SEM） ..... 5-28
5.3.8.4　断面解析技術 ..... 5-29
5.3.8.4.1　FIB（Focused Ion Beam） ..... 5-29
5.3.8.4.2　TEM ..... 5-31
5.3.9　分析技術 ..... 5-32
5.3.9.1　概要 ..... 5-32
5.3.9.2　FT-IR（Fourier Transform Infrared Spectroscopy）分析 ..... 5-32
5.3.9.3　EDX/WDX（Energy Dispersive X-ray spectrometer/
Wavelength Dispersive X-ray spectrometer）分析 ..... 5-33
5.3.9.4　TOF-SIMS（Time-of-Flight Secondary Ion Mass Spectrometry）分析 5-35
5.3.9.5　走査型プローブ顕微鏡（SPM：Scanning Probe Microscope） ..... 5-36
5.3.10　異常と故障メカニズムの関連性の確認 ..... 5-37

© 2018 Sony Semiconductor Solutions Corporation

## 5.1 故障解析とは

故障解析とは、さまざまな製造過程・市場で発生した故障状況を確認し、半導体試験装置（テスターなど）を用いた製品機能確認、及び電気的特性データを取得し、その結果に基づいて、最適な物理的・化学的手法や解析装置を用いて故障に至った原因やメカニズムを究明することです

## 5.2 故障解析技術の必要性

当社はイメージセンサーでは最先端を走っており、近年ではイメージセンサーの高画素化や高感度化・高機能化要求から、裏面照射型 CMOS イメージセンサーの開発からはじまり積層型 CMOS イメージセンサーを経て、現在では DRAM も積層した 3 層構造の積層型 CMOS イメージセンサーを生産しております。製造プロセスや製品構造は益々複雑化・多様化しており、その故障に至る原因やメカニズムも CMOS イメージセンサー特有に多様化・複雑化するためより高度な解析技術が要求されています。 一方で、半導体デバイスは非常に高いレベルでの品質信頼性が要求されており、市場でデバイスが故障し、お客様にご迷惑をかけないように、半導体製造にあたっては、開発段階から製造段階に至るまでの一貫した品質信頼性の作り込みが必要とされています。

その為に、開発・製造・信頼性試験などの各プロセスで発生した故障品はもとより、お客様の工程や市場で発生した故障品も素早く解析し、故障原因とメカニズム解明を通じて設計・製造プロセス等へのフィードバックを行い、製造品質・製品品質の向上を図る事が非常に重要になります。

このように、解析技術は様々な不具合の原因究明やメカニズム究明を通じて品質改善や製品の信頼性向上、再発防止には必要不可欠な技術であり、ひいてはお客様の工程や市場での故障を限りなくゼロに近づける為に貢献しています。

© 2018 Sony Semiconductor Solutions Corporation

# 5.3　故障解析技術

## 5.3.1　故障解析の役割と目的

半導体製品化の流れは大まかに開発→試作→量産→市場となります。 それぞれの段階で発生する不良に対して素早く、正確に不具合原因を特定し、各プロセスへフィードバックする事で不具合発生の再発を防止し、新規プロセス開発促進、歩留まり向上、信頼性向上、製品品質向上、顧客満足度向上に寄与することが故障解析の役割と目的となります。（図 5-1 参照）

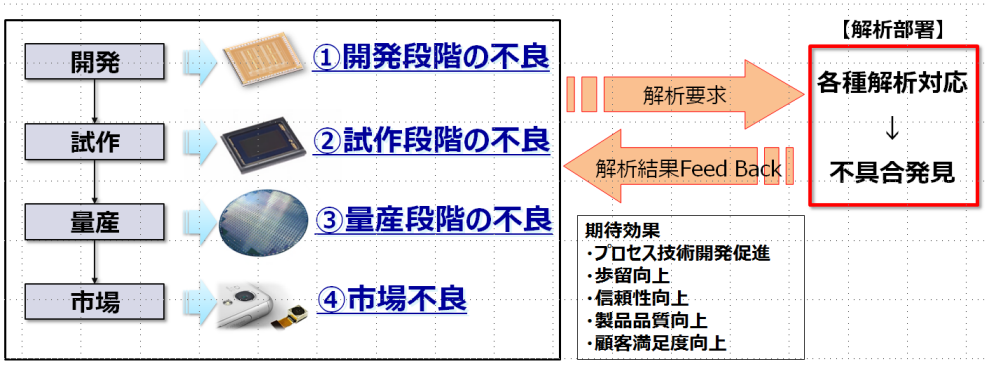



図 5-1　一般的な製品化の流れと解析の関連性

## 5.3.2　一般的な故障解析フロー

故障解析で一番重要なことは、故障症状を保持した状態のままでどこまで故障箇所を絞り込むことができるかに尽きます。ある程度の機能を持ったブロックレベルまでしか絞りこめないのか、ピンポイント（素子レベル）で異常が発生している場所まで絞り込めるのかで故障原因の究明率が大きく変わります。近年では、半導体プロセスの微細化によりブロックレベルに集積される素子が増加するため、非破壊解析で確実にブロックレベル（回路レベル）まで絞り込み、破壊解析でピンポイント（素子レベル）まで絞り込むことが重要となります。高集積化された先端の半導体デバイスで直径数十 nm 程度の故障箇所を見つけることは、例えていうなら、東京ドームの敷地に建てた高さ 10 階以上の建物の中に落とした 100 円硬貨を探し出すに等しい行為です。このような状況で何も情報がなく、ただ漠然と探しても見つけ出すのは不可能です。 まず、100 円硬貨を落とした人の行動はどうだったのかなどを詳しく調査して、落としたと思われる場所を限りなく狭く絞り込んでいき、場所を特定した後に、その場所を注意深く探せば見つかる可能性が高くなります。 半導体デバイスの故障箇所の絞込みも同様で、まずは半導体試験装置（テスターなど）を用いて性能試験や電気特性を調査し、デバイスのどの部分で故障している可能性が高いかを大まかに絞込むところから始まります。（図 5-2 参照）

© 2018 Sony Semiconductor Solutions Corporation

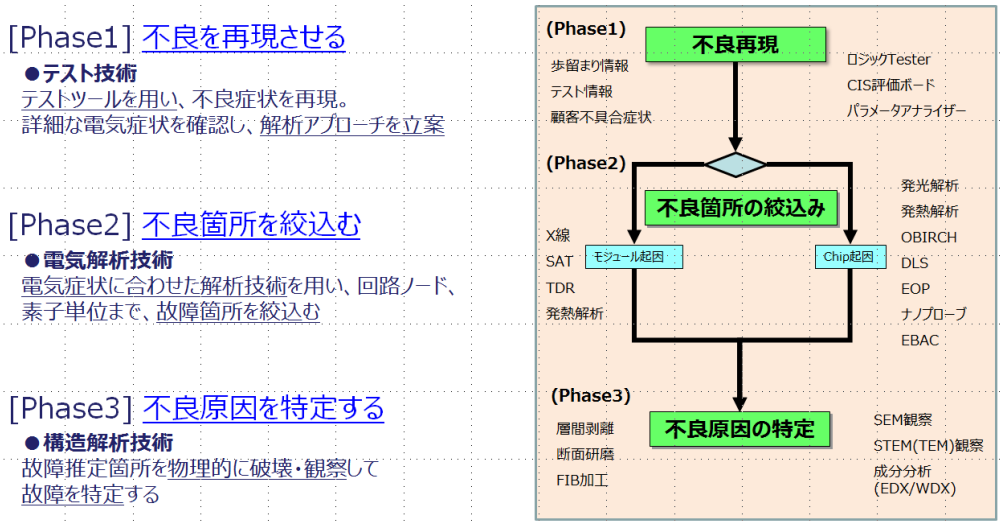



図 5-2　一般的な故障解析フローと主な使用装置・解析技術

## 5.3.3　故障発生状況の調査

故障が発生した場合にはそれがどのような状況で発生したのかも故障解析を進める上で、故障原因の推定や故障解析の方法・手順を決めるために非常に重要な情報です。よって故障サンプル入手と同時に、可能な限り得られる情報を入手します。 特にどのような環境で発生したのか（発生場所・環境条件・使用回路・使用条件・実装条件など）は、故障メカニズムを推定し、解析手法・方法の選定に役立つ他、場合によっては故障シミュレーションなどを実施し、再現性の確認をすることで偶発故障なのか、設計上の問題なのかを判断する場合に役立ちます。

## 5.3.4　外観観察

チップおよびパッケージ、またイメージセンサーを実装したカメラモジュール状態での故障解析として、故障情報の把握のために外観観察を行います。 特にイメージセンサーにおいては受光素子に物理的な異常がないかを、光学顕微鏡や電子顕微鏡を用いて観察することで、特性異常があった際の故障箇所の想定に役立ちます。

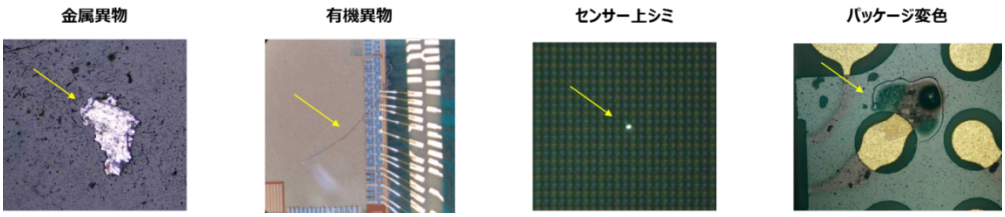



図 5-3　代表事例

© 2018 Sony Semiconductor Solutions Corporation

## 5.3.5　電気特性評価

### (1)　テスター解析

外観観察で故障原因を想定できる異常が確認できない場合、故障部位や症状を想定するため電気特性解析を行います。まずはイメージセンサー出荷時と同等環境で撮像特性を試験し、故障状態および特性から原因を想定します。

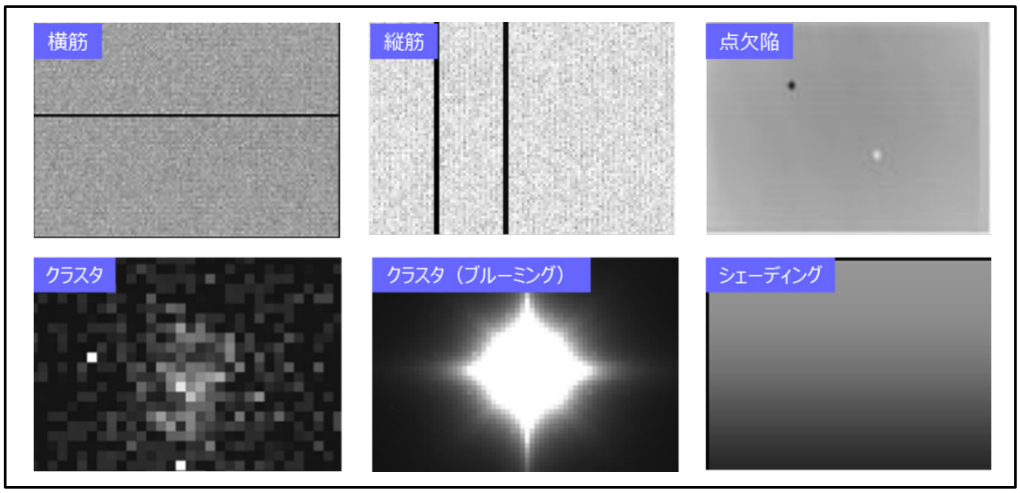



図 5-4　代表的な画不良写真

### (2)　AC・DC 特性解析

テスター解析で特定端子に異常が見られた場合、カーブトレーサやパラメータアナライザーを用いて、オープン・ショート、耐圧劣化などの DC 特性を調査します。

また簡易的な AC 特性解析としては、オシロスコープを用いて動作状態の解析を行います。

### (3)　DFT（Design For Testability）解析

半導体の微細化および構造の複雑化により、従来の解析手法では故障箇所の特定が困難な事例も多く、設計段階で DFT による故障箇所の絞込みを容易にする回路設計を追加することで、テスト結果および故障シミュレーションにより故障嫌疑箇所を回路レベルで抽出します。

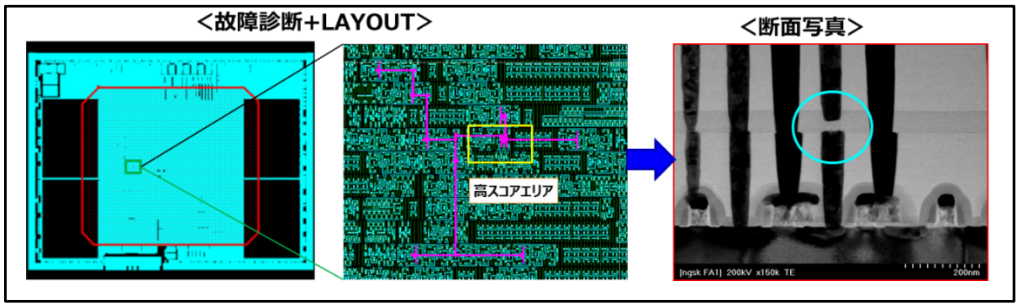



図 5-5　故障診断からの故障箇所特定事例

© 2018 Sony Semiconductor Solutions Corporation

(4)　実機解析

テスターや DC 解析などで不良症状の確認が困難な場合、テスターや実機環境で不良を再現させた状態で、スポット径を絞ったレーザー光により局所過熱を行い抵抗値の変化を観察する装置や半導体の故障部位で発生する微弱発光を検出する光学的解析装置と連携することで、故障起点となる箇所の絞込みや、回路の活性化状態の可視化、デバイス内部波形の観察を行うことにより、温度依存性を持った不安定な故障など、難易度が高い故障も要因となる箇所の絞込みが可能となります。

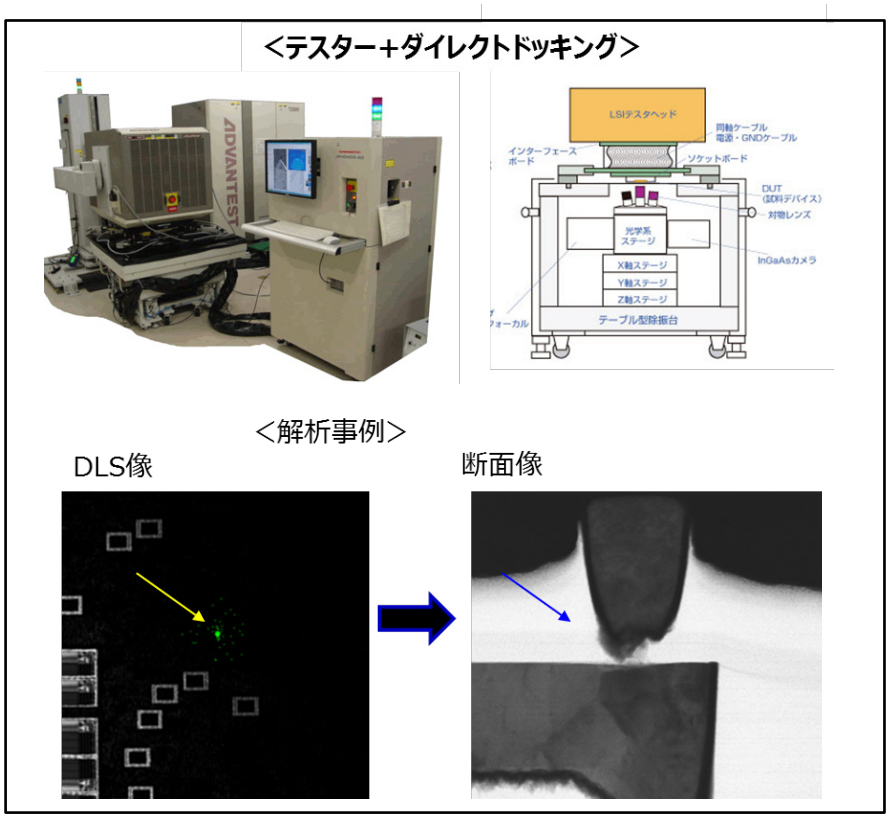



図 5-6　テスターリンク解析とその事例

© 2018 Sony Semiconductor Solutions Corporation

## 5.3.6　パッケージ／モジュール解析技術

### 5.3.6.1　概要

近年、半導体製品に求められるものは、高機能を小さくそして薄いパッケージ／モジュールに盛り込む事にあります。 スマートフォンも薄型になるに従ってそれに搭載されるカメラモジュールもより薄型の要求がある為にチップの積層化に伴う薄肉化などを行っています。 故障解析を行う場合、まずはチップ内部の故障なのか、組み立てに起因する故障なのかを明確に切り分けてから詳細解析に入る必要があります。

それに加えて、例えば解析対象チップが三層構造の真ん中に位置する場合でもダメージを与えることなく分離する必要性も出てきている中で、多層化・薄肉化などで従来よりも更に難易度が高くなっており、各種微細加工技術も益々重要になってきております。 破壊解析を実施すると後戻りはできない為、当社では可能な限りの非破壊解析技術を用いております。ここではよく用いられる技術を中心に説明します。

### 5.3.6.2　X 線透視観察・超音波探傷観察

X 線透視観察では、ワイヤーボンドの状態（ワイヤーループの状態、金バンプの状態、スティッチ形状など）やリードフレームの状態、モールド樹脂のボイド、基板の配線やスルーホールの状態、マイクロバンプの状態などが非破壊で観察できます。（図 5-7 参照）

さらに 3D CT 機能の充実により、非破壊状態で立体的に内部構造を確認することも可能となったので、不具合メカニズムを推定するのに有効な装置です。

超音波探傷装置 SAT(Scanning Acoustic Tomograph)または SAM(Scanning Acoustic Microscope)は、超音波が音響インピーダンスの異なる材料が接する界面で反射するという原理を利用し、サンプルに対して発振された超音波の反射波をとらえ、接合界面の剥離、パッケージ樹脂内部のボイド、クラック、チップクラックなどのパッケージ内部の任意の深さの状態を非破壊で観察することが可能です。（図 5-8 参照）

© 2018 Sony Semiconductor Solutions Corporation

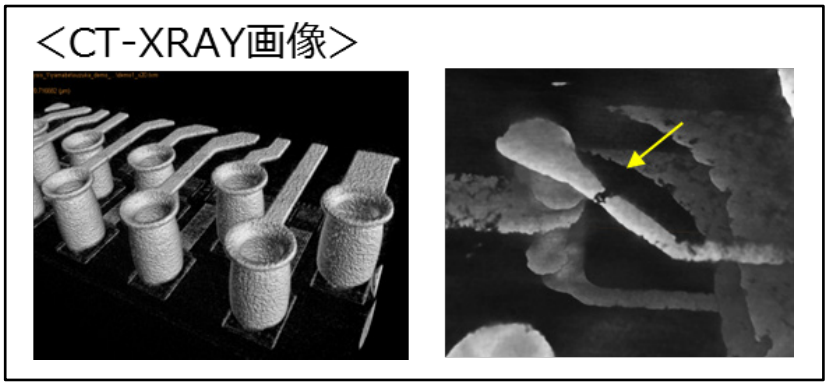



図 5-7　X 線観察事例

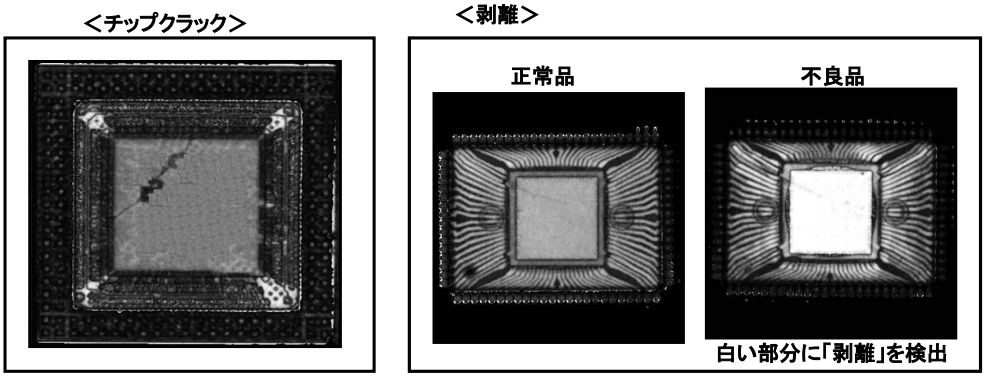



図 5-8　超音波探傷観察事例

#### 5.3.6.3　スキャンニング SQUID（Superconducting QUantum Interface Devic）顕微鏡解析

SQUID とは、超伝導の量子化現象を利用した超高感度磁気センサーを表します。従来の磁気センサーよりはるかに高感度であり、地磁気の 5000 万分の 1 以下の微弱磁場を検出することができます。電流が流れるとその周りに磁界が発生するのはご存知のとおり（図 5-9 参照）です。本装置は前述のとおり、超高感度磁気センサーを使用しているため、電流が作り出した磁場をとらえることが可能です。ここで得られた磁場分布の情報を使い、その磁場分布を作っている電流をイメージ化することで、半導体デバイス中に流れている電流を観察することが可能となります。（図 5-10 参照）

また、磁気は半導体デバイスなどで使用されているシリコンをはじめとするほとんどの材料を透過するために、非破壊で電流経路を観察できるというのが故障解析をする上でのメリットになります。但し、磁場を検出して電流経路を示すという原理の性質から、本装置を使っての故障解析は電流の方向が一定になる DC 測定状態のみ有効となります。実際の故障解析では良品と故障

© 2018 Sony Semiconductor Solutions Corporation

品での観察された電流経路を比較し、どこに故障原因があるかを絞り込んだ後に詳細な原因究明のための解析を実施します。本手法を用いた解析事例を以下に示します。（図 5-11 参照）

この結果から、X 線透視観察ではなかなか発見しづらい極微細な導電性異物による故障原因も特定することが可能です。

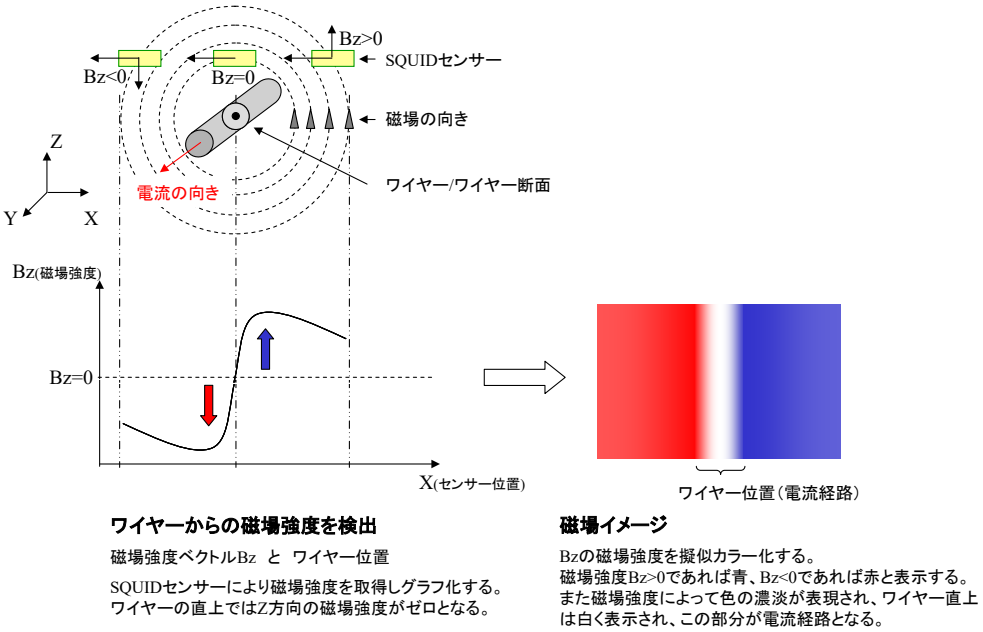



図 5-9　スキャニング SQUID　電流と磁場イメージ

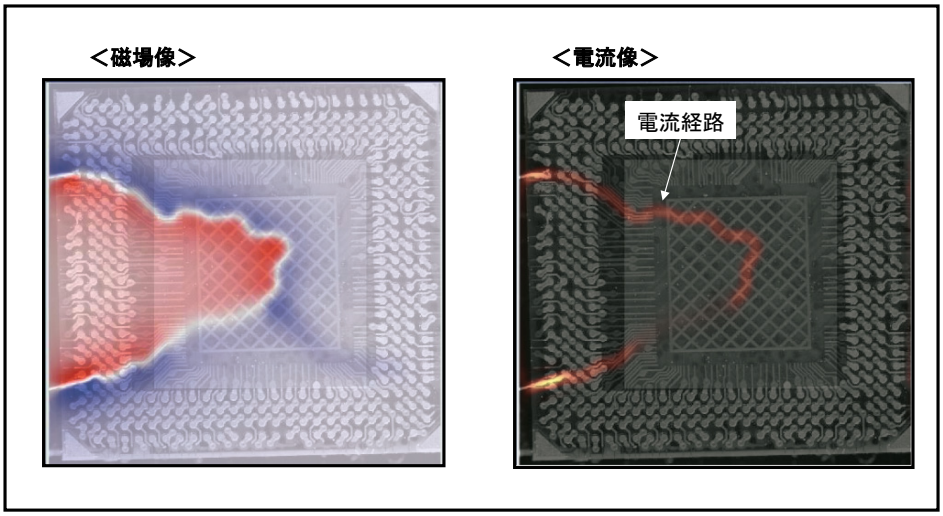



図 5-10　スキャニング SQUID　磁場像と電流像

© 2018 Sony Semiconductor Solutions Corporation

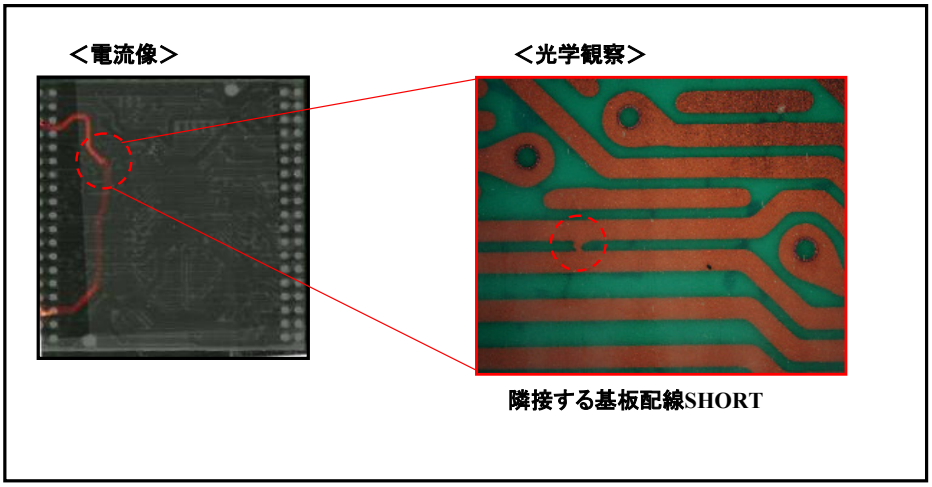



図 5-11　スキャンニング SQUID による不具合場所特定事例

#### 5.3.6.4　TDR (Time Domain Reflectometry) 解析

TDR とは、高速パルス信号を被測定物に入力し、その反射信号を観測することで被測定物の伝送品質を測定する技術で、送電線の断線などを発見する手法として昔から使用されています。(図 5-12 参照)

これを半導パッケージ解析に応用して、不具合が推察されるパッケージ電極にプローブして高速パルス信号を試料に与え、材料のインピーダンス不整合部分で発生する反射波をサンプリングオシロスコープでとらえます。もし配線経路の断線などオープン系の不良があった場合、不具合箇所でインピーダンス不整合が大きくなることで大きな反射波が発生し、良品波形と不良品波形とで差異が発生します。この反射波の差異より不良箇所の推察が可能となります。原理上は、ショート箇所の特定にも応用可能ですが、現状では主にオープン箇所の特定に用いられています。

この手法も前述の SQUID 解析と同様に非破壊での解析が可能となり、特にオープン箇所の特定を、素早く・非破壊で行なえる手法は他にないために、半導体デバイスのパッケージ解析においては非常に有効な解析手法となります。特に、高機能化された製品などでは、使用している基板が多層化されてきており、単純に X 線透視観察をするだけでは、配線同士の重なりなどの影響で異常を判別するのが困難になってきています。本手法を使って確実に故障箇所を絞り込んだ後で X 線透視観察などを行ないます。

本手法を用いた解析事例を以下に示します。（図 5-13 参照）

© 2018 Sony Semiconductor Solutions Corporation

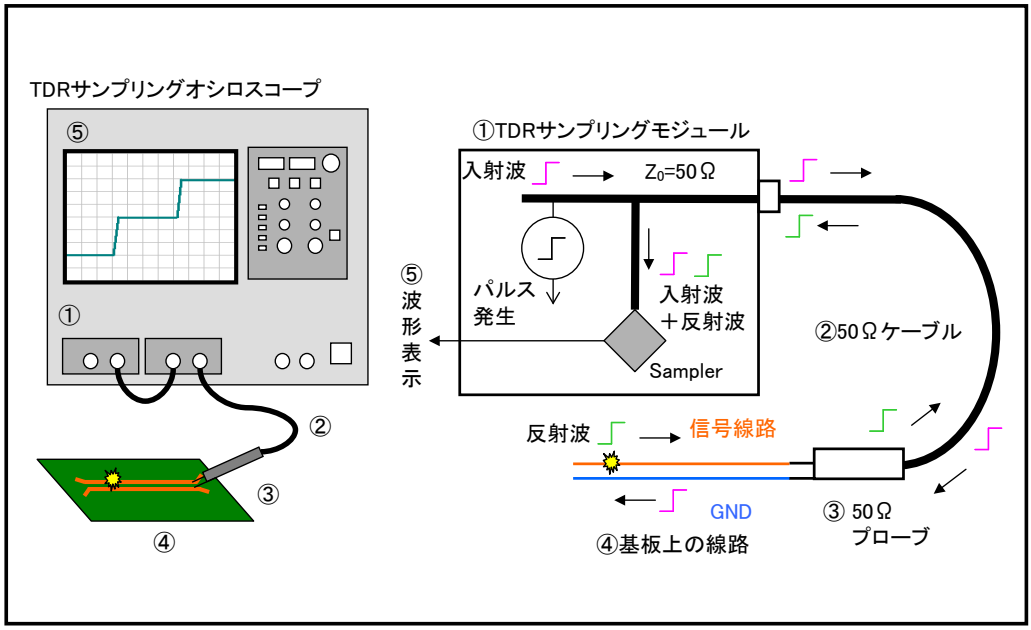



図 5-12　TDR の一般的な原理

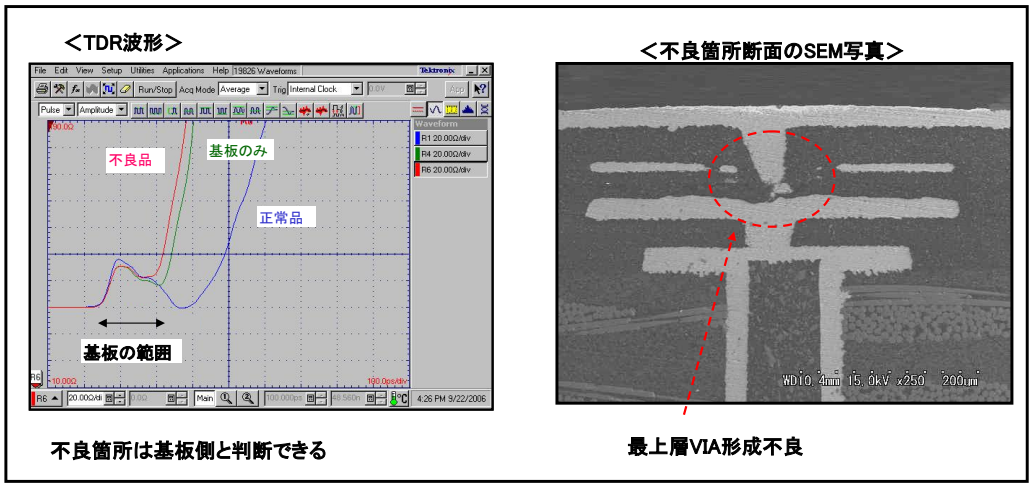



図 5-13　TDR による不具合場所特定事例

© 2018 Sony Semiconductor Solutions Corporation

### 5.3.6.5　発熱解析技術

半導体デバイスの配線ショートやリーク、抵抗異常に伴う発熱箇所を特定する手法です。デバイスに電圧を印可するとデバイス内部から熱が発生します。発生した熱がデバイス表面に伝わり、デバイス表面からの赤外放射をカメラで観察します。 赤外線カメラとしては 4.0um 帯の波長をもった InSb(インジウムアンチモン)や MCT(HgCdTe:テルル化カドミウム水銀)といったセンサーが主に使用されます。

リーク箇所を特定する手法としては OBIRCH や発光解析といった手法もありますが、熱による赤外放射を観察している為にモールドに覆われたパッケージ形態や積層デバイス、モジュール状態やプリント基板なども不良対象の半導体チップを取り出したり露出させる事なく、非破壊で不良箇所を絞り込む事が可能です。 (図 5-14 参照)

一方でセンサーの波長帯が長波長側になるため、OBIRCH や発光解析と比較して空間分解能は劣ります。不良症状に合わせて他の手法と組み合わせながら不良箇所を絞り込むことが重要です。また、金属などの放射率が低い材料が表面にある場合は検出が困難になるため、金属を除去したり放射率を上げる材料を塗布するなどの工夫も必要です。

また、空間分解能が劣る欠点を補うのがロックインアンプを用いた手法です。 熱の拡散を抑えかつ外来ノイズを除去して高感度の解析が可能となります。 デバイス内部の発熱の伝達はチップ表面までの距離によって時間が変化するため、この発熱の位相差を用いる事で深さ方向の不良位置の予測も可能となります。

＜発熱解析イメージ＞

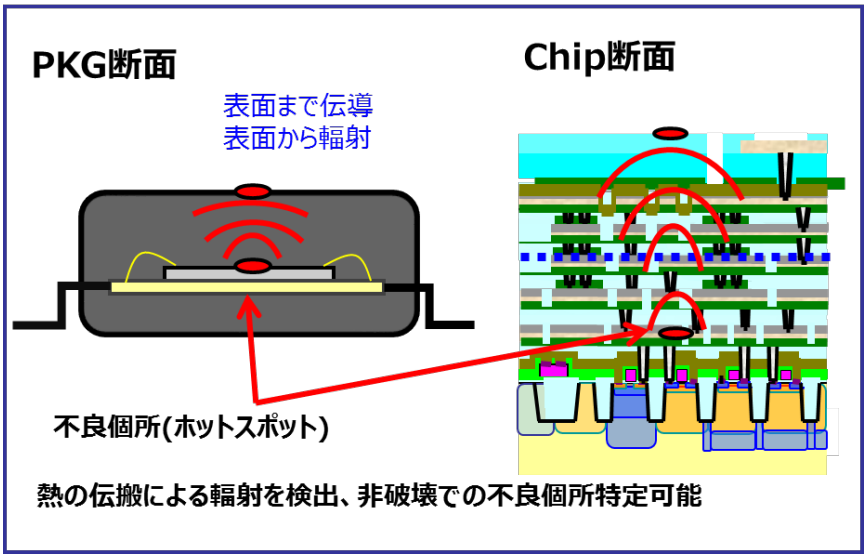



図 5-14　発熱解析の一般的な原理

© 2018 Sony Semiconductor Solutions Corporation

## 5.3.7　チップ解析技術

### 5.3.7.1　概要

前述のとおり、近年の製品の高集積化、製品の多機能化などにより、回路規模も膨大（数千万～数億ゲート）かつ複雑になっており、その中から数μm レベルの範囲にある故障箇所を絞り込み、原因を究明することは容易なことではありません。チップの故障解析には、発光解析や発熱解析、IR-OBIRCH（InfraRed-Optical Beam Induced Resistance CHange）、DLS（Dynamic Laser Stimulation）解析、微細プロービング技術に加えてソフトウエアを使用した故障推論技術など複数の解析手法を組み合わせて実施する必要があります。 また、チップの積層化、薄肉化に伴い解析したいチップだけをダメージなく取り出す加工技術なども重要な解析技術の一つになってきています。しかしながら、故障箇所の絞り込みの複雑化だけではなく、絞り込んだ該当チップを取り出す技術の難易度も上昇してきている為に故障解析にかかる時間も膨大なものとなってきています。 よって、故障原因判明率の改善・向上とともに、解析開始から終了までの TAT（Turn Around Time の略）の短縮も現在の故障解析技術の重要な課題となっています。

ここでは、様々なチップの故障箇所特定解析手法の中から主なものを抜粋して、その役割、機能などを説明します。

### 5.3.7.2　故障箇所特定技術

チップ内部の故障箇所特定技術としては、従来より機械的プロービング技術や EB（Electron Beam）テスティング技術、発光解析技術、発熱解析技術などが広く知られています。近年の半導体デバイスの微細化、高集積化、多機能化、高速化などにより、これら解析手法単独では故障が見つからないケースが増えてきており、さらに新しい手法を含む複数の解析手法を併用してピンポイントへの絞り込みを行う必要が出てきています。しかし、どれをどのように組み合わせて使用して絞り込んでいくかは、電気特性確認時に得られた情報から都度判断しながら進める必要があるため、書き表すことは困難です。ここでは、故障解析で良く使用される手法や最新の技術で単独で使用したらどのようなことに使え、何がわかるのかにフォーカスして説明します。

© 2018 Sony Semiconductor Solutions Corporation

#### 5.3.7.2.1　故障推論技術

近年、ロジック回路の大規模化にともない、回路の電気的解析の難易度は著しく高くなっています。 その理由として、ほとんどの部分が複雑なデジタル論理回路で構成されており、論理回路のどの部分が故障しているか手がかりもなく、故障箇所を絞り込むのは非常に困難です。この課題に対しチップ設計段階からテスト専用回路を実装することで、製品機能自体を容易にテストすること、さらに故障があった場合でも故障推論（故障シミュレーション）することで故障箇所を特定することができます。故障推論の仕組みとしては、チップに実装したテスト専用回路を起点として、製品が故障した場合の様々な故障モデルをデータベースとしてあらかじめ準備することで、テスト自体を抜け漏れなく実行、故障が発生した場合にどこの回路が起因しているかを予想することができます。（図 5-15 参照）

この故障推論結果をもとに、故障の可能性がある範囲を他の解析手法でさらに絞り込むことで、物理異常箇所の特定率が飛躍的に向上します。 近年の故障推論技術では、プロセス微細化に伴い発生頻度が高くなってきた遅延系故障を対象とした手法も開発されており、非常に難易度が高い故障事例においても、原因究明のために必須な技術となっています。

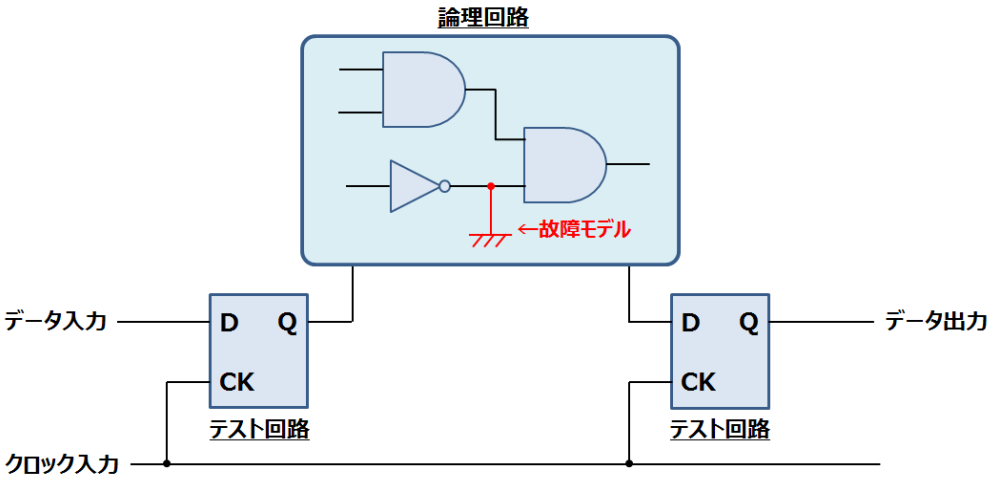



図 5-15　一般的な故障推論モデル

© 2018 Sony Semiconductor Solutions Corporation

#### 5.3.7.2.2　発光解析技術

半導体デバイスの電流リーク解析手法としては、よく知られる手法のひとつです。

一般的に、電流リークはホットエレクトロンや少数キャリア再結合などにより極微弱な発光を伴います。また、ラッチアップや中間電位による貫通電流、通常のトランジスタ動作においても電流が流れるため発光を伴います。これらを超高感度冷却 CCD カメラ（有効感度はおよそ 200nm～1000nm）を使って検出し、半導体デバイス回路のどこで発光しているかをイメージ化し、故障箇所を絞り込む手法です。（図 5-16 参照）

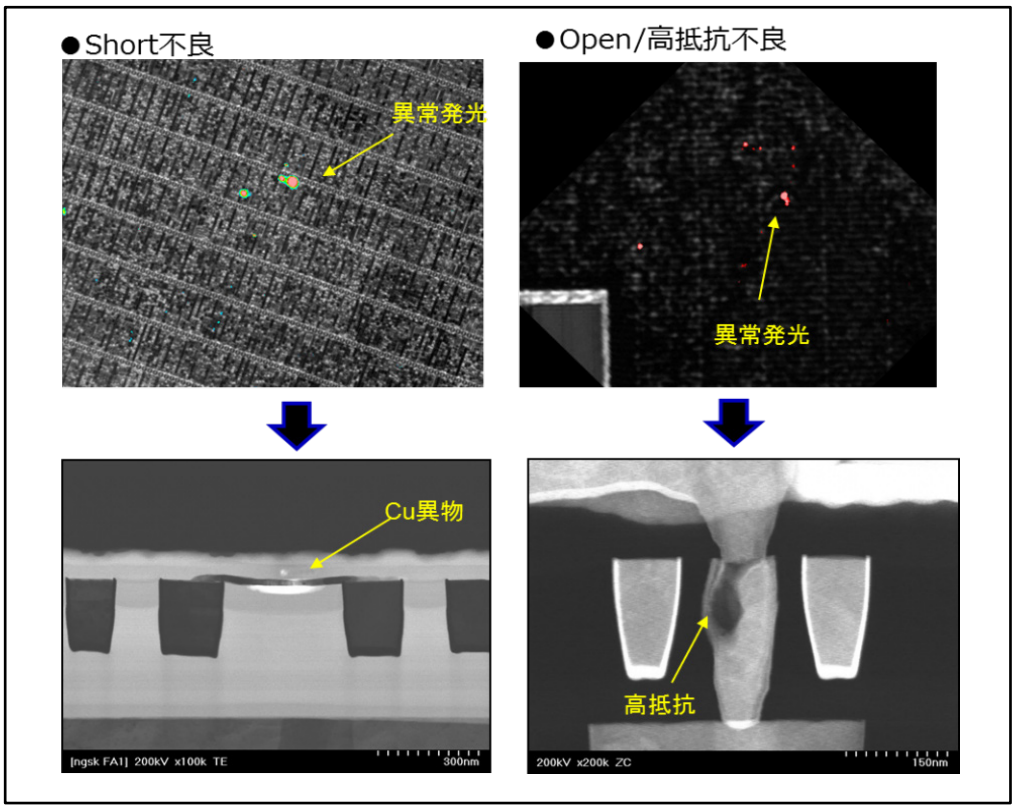



図 5-16　発光解析事例

近年では、より赤外波長部分に感度がよくなる MCT カメラや InGaAs カメラ（有効感度はおよそ 800nm～2000nm 付近）が主流です。このカメラは赤外領域における感度特性が非常に優れているため、チップ裏面からの発光をとらえるのに非常に有効です。この手法は、高集積化、多層配線化された半導体デバイスを、チップ裏面からシリコンを透過してくる赤外光を観察することにより解析する場合に用います。

© 2018 Sony Semiconductor Solutions Corporation

また、一般に冷却 CCD カメラより InGaAs カメラの方が高感度と誤解されがちですが、それぞれとらえる波長帯域が異なるため、一概にどちらが高感度ということはいえません。 但し、トランジスタを取り囲んでいる材料がシリコンを主に使用しているため、シリコンを透過しやすい赤外光に対して非常に感度がよい InGaAs カメラの方が近年の半導体デバイスの解析には有利です。（図 5-17 参照）

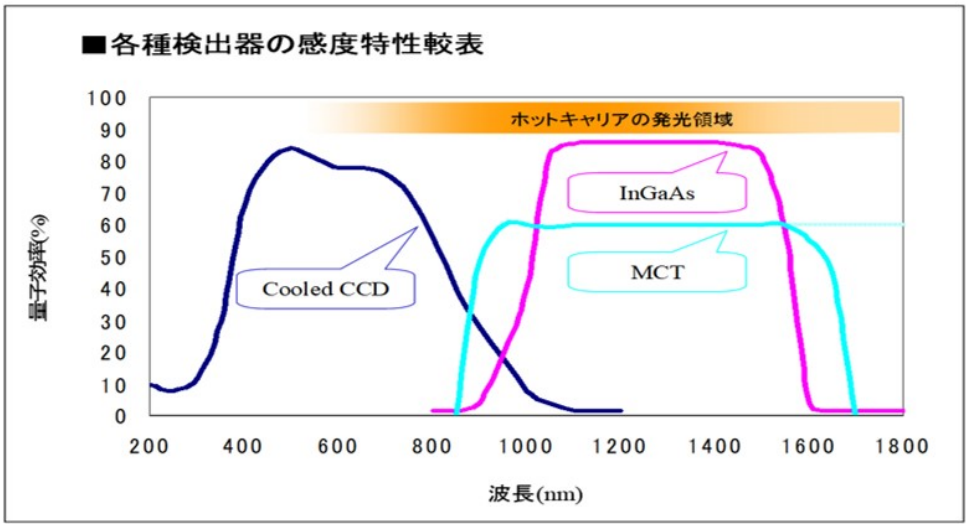



図 5-17　検出器毎の発光感度特性

発光解析手法の良いところは、AC/DC どちらの状態でも解析可能という点です。但し、電流により何らかの発光を伴うため、発光解析によりとらえた発光の意味を充分に吟味し解釈する必要があります。 発光箇所が必ずしも故障箇所とは限りませんので、発光解析だけではなく、複数の解析手法を併用して、総合的判断で故障箇所の絞込みをすることが重要です。（図 5-18 参照）

© 2018 Sony Semiconductor Solutions Corporation

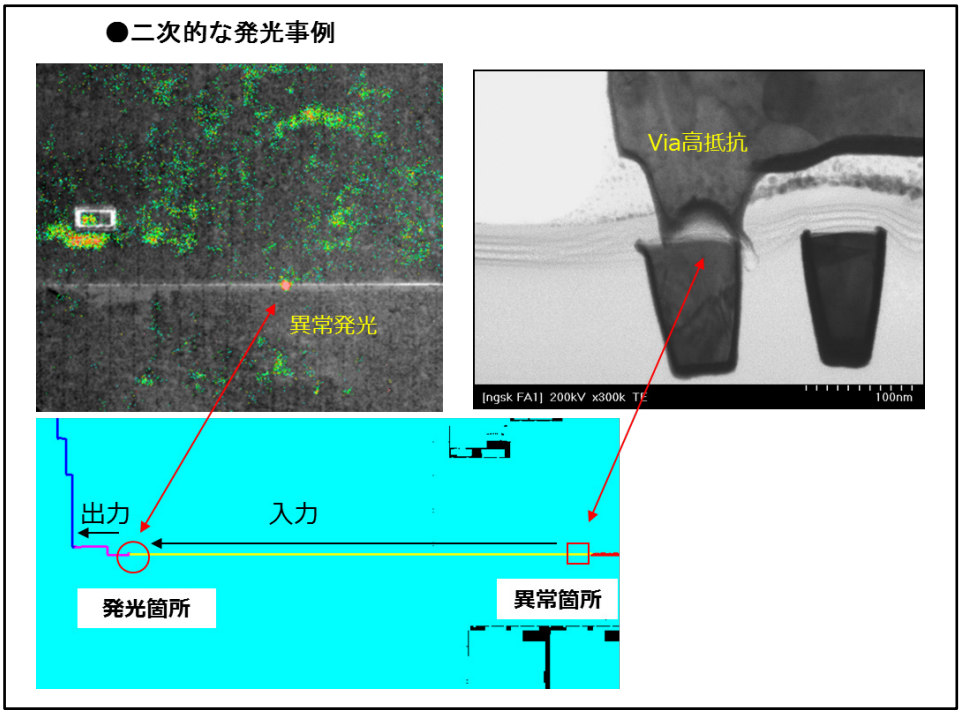



図 5-18　発光箇所と不具合位置が異なる事例

#### 5.3.7.2.3　発熱解析技術

発熱解析はチップ解析にも適用され、前述の発光解析などと併用して用い、不具合箇所絞込みに寄与します。詳細は 5.3.6.5 に記載済み。

© 2018 Sony Semiconductor Solutions Corporation

#### 5.3.7.2.4　IR-OBIRCH 解析技術

この解析技術は以下の原理によって、配線間ショートや高抵抗部分などの故障箇所を特定することができます。

- 定電圧を印加した配線に近赤外レーザーを照射して部分的に加熱する。
- 温度変化が生じ配線抵抗が変化して、配線を流れる電流も変化する。
- この電流変化を高感度アンプで検出することで故障箇所を特定する。

原理からわかるように、故障箇所に近赤外レーザーが照射された時の電流変化をとらえる手法のため、上述の発光解析とは異なり反応箇所がほぼ故障箇所として検出されます。但し、DC レベルでの解析しかできないために半導体試験装置などを使用しないと故障が再現しないような不具合モードには不向きです。 近赤外レーザーはシリコン基板を透過するため、チップ裏面解析も容易です。（図 5-19 参照）

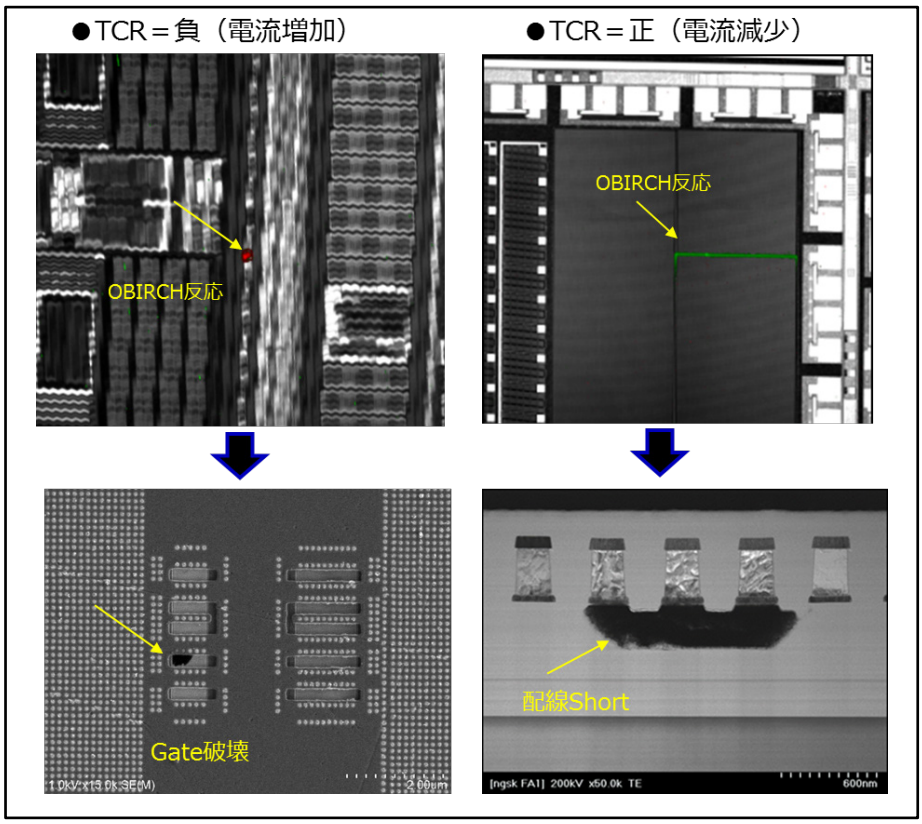



図 5-19　IR-OBIRCH 解析事例

© 2018 Sony Semiconductor Solutions Corporation

#### 5.3.7.2.5 DLS (Dynamic Laser Stimulation) 解析技術

半導体デバイスの微細化＆高速化に伴い、時間遅延によるマージン性不良が増加しています。マージン性不良は動作条件次第でパスする不安定なモードであり、既存の解析手法では絞込みが難しく、不良を特定する解析手法としてはDLS が注目されています。

DLS は時間遅延不良の多くが温度依存を持つことに着目し、局所的レーザー照射による温度変化を利用した解析手法です。 半導体試験装置によりデバイスを動作させ、デバイス表面または裏面から波長 3.3μｍの赤外レーザーを照射すると、照射箇所の温度が変化し、結果としてデバイスのパス／フェイルが反転する。このパス／フェイル変化を半導体試験装置から読み込み、レーザー画像と重ね合わせ表示することで不良箇所の特定を行います。

DLS はボイドなどの配線欠陥やトランジスタの特性異常のように温度依存性が高い不良を特定する有効な解析手法です。 一方、デバイスを長時間繰り返し動作させる必要があるため、デバイスの発熱を考慮した温度管理、および局所的レーザー照射でパス／フェイルが変化するテストパラメータ設定など非常に条件設定がシビアな解析手法です。（図 5-20 参照）

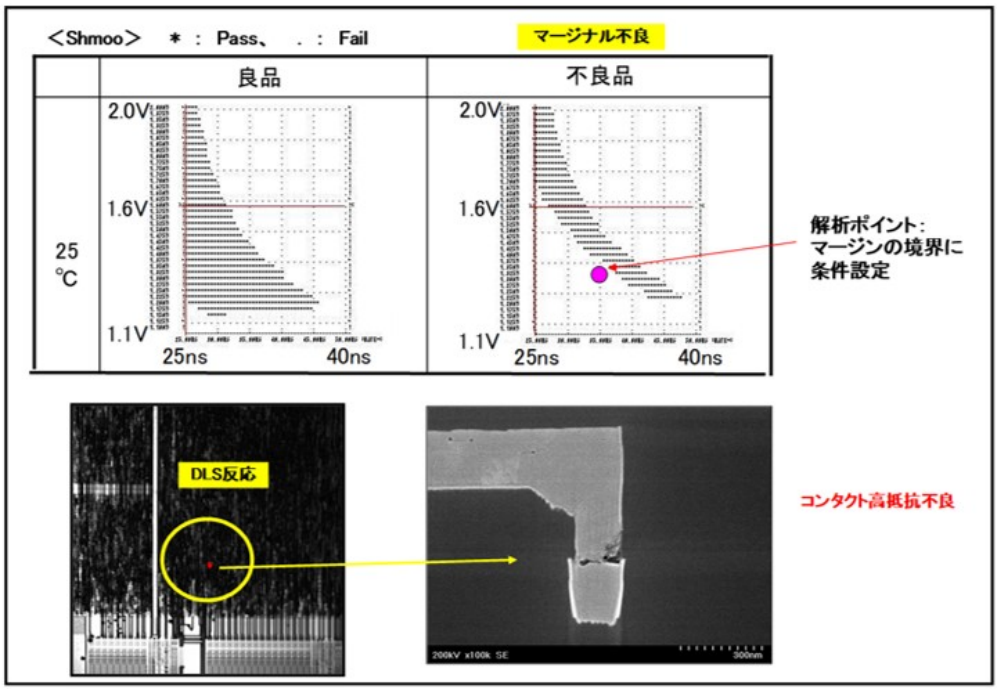



図 5-20　DLS 解析事例

© 2018 Sony Semiconductor Solutions Corporation

### 5.3.7.2.6 EOP(Electro Optical Probing)／EOFM(Electro Optical Frequency Mapping) 解析技術

デバイスのタイミング解析手法としては従来より EB テスターと呼ばれる手法がありますが、電子ビームを用いているため観察する配線を露出する必要があります。

近年のデバイスの複雑化や多層化、微細化において配線露出の加工が困難になり、適用が困難になってきています。

これらの課題に対応する方法として、デバイス裏面(シリコン側)より Si を透過する波長の光源を照射してデバイス内部のタイミング解析を実施する EOP、EOFM という手法があります。EOP/EOFM はシリコンを透過するインコヒーレント光を照射し、デバイスの動作に応じた反射光を検出する事で、チップを非破壊の状態で内部波形を観察する事ができる手法です。（図 5-21）

トランジスタの動作時はドレイン近傍のポテンシャルが変化し、屈折率と光吸収率が変化します。そこに照射した光源の反射光は強度と位相が変化します(電界光学効果)。

この反射光の変化を検出し波形化する事でデバイス内部の動作波形を観察する技術が EOP です。一方、EOFM は反射光の強度波形から指定した周波数成分をスペクトラムアナライザーを用いて抽出し、2 次元マッピングを作成する事で、特定周波数で動作している素子の位置を把握する手法です。特定周波数で動作している素子を可視化する事に有効な手法であり、スキャンチェーンの不良などによく用いられています。

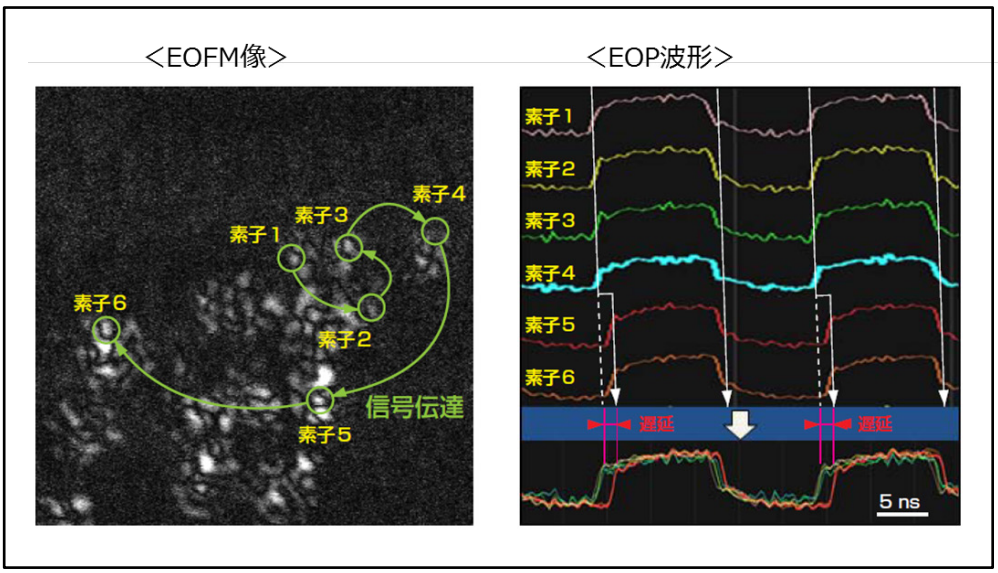



図 5-21　EOP/EOFM 解析事例

© 2018 Sony Semiconductor Solutions Corporation

### 5.3.7.2.7　微細プローブ解析技術　特性評価／EBAC（Electron Beam Absorbed Current）

微細な探針を用い、露出された半導体素子の配線やコンタクトに直接プロービングして電気特性を取得する技術です。従来は光学像による機械的探針が主流でしたが、近年の半導体素子微細化により、主に以下の微細プロービング技術が用いられています。

① SEM 式プローバーによるプロービング

従来の光学像を用いたプローバーから、走査電子顕微鏡内に挿入された金属探針を用いて SEM 画像を見ながらプロービングを行う、ナノ・プローバと呼ばれる装置が主流となりつつあります。ナノ・プローバはピエゾ素子によりナノレベルで制御可能な高精度探針と、電界放出型電子銃による高い分解能を有し、最先端プロセスの配線やコンタクトに直接プロービングすることが可能です。さらに電子ビームを利用して EBAC との併用が可能であり、チップ内故障箇所特定手法として重要な役割を占める装置として今後ますます期待されています。（図 5-22 参照）

＊ EBAC に関しては後述で説明します。

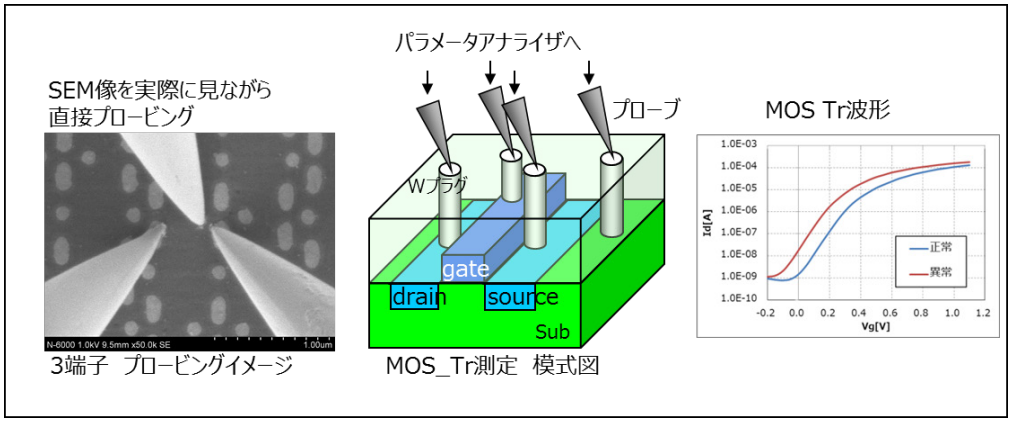



図 5-22　SEM 式プローバーによるプロービング事例

② AFM（Atomic Force Microscope）を利用したプロービング

原子レベルの鋭利な探針により試料表面を走査し、原子単位の表面形状や電子状態を測定する装置を総称して走査プローブ顕微鏡（SPM：Scanning Probe Microscope）と呼び、SPM には検出対象となる物理量により様々な方式があります。このうち原子力間顕微鏡（AFM）はカンチレバーと呼ばれる微小な板ばねを探針として、試料表面に接触させながら走査し、試料の表面状態によるカンチレバーの変位量を検出して AFM 画像を取得します。現在、当社では上述の SEM 式プローバーに加えて、AFM プローバーも保有しており、取得した AFM 画像をもとにカンチレバーを配線やコンタクトにプロービングして素子の電気特性取得が可能で、特にアナログ製品の特性評価などに使用しています。（図 5-23 参照）

© 2018 Sony Semiconductor Solutions Corporation

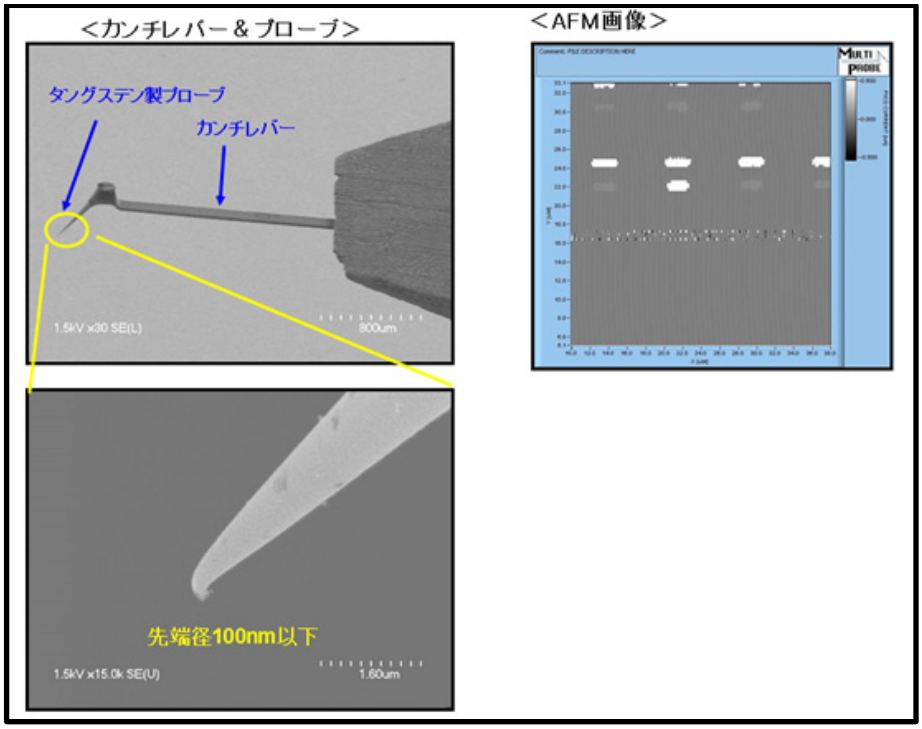



図 5-23　AFM 式プローバー事例

③ EBAC 技術

半導体デバイスの素子微細化や多層配線化に伴い、各層をつなぐ配線ビア起因の不良が増加しており、さらに配線ビアの不良はエミッションや IR-OBIRCH などの既存解析手法では絞込み困難なうえ剥離解析による 2 次元的観察では確認できないことが多いため、効果的な解析手法が必要となります。

EBAC は上述の配線ビアオープンや高抵抗不良に有効な解析手法であり、デバイスに電子ビームを照射し、金属配線に吸収される電流（＝吸収電流）を利用しています。装置原理は SEM 式プローバーを用いた高精度なメカニカルプローブで特定の配線やコンタクトに直接プロービングした状態で電子ビームをデバイスに照射します。発生した吸収電流はプローブを通じてアンプで増幅され、等電位経路が吸収電流像として表示されるため、断線や高抵抗箇所があるとその箇所を境にして吸収電流像に明・暗のコントラストが生じ、不良特定が可能となります。（図 5-24 参照）原理的に高抵抗であるほど検出感度が高くなりますが、プローブ手法やアンプの改良により現在では 100Ω 前後の低抵抗不良も検出可能です。EBAC 解析が可能な深さは、電子ビームが深く注入されるほどビーム径が広がり空間分解能が低下するので、実用的には最上層から 2～3 レイヤーが対象となり、それ以下のレイヤーは上層を剥離する必要があります。このように EBAC は剥離解析と交互に実施して不良箇所を特定する電気的絞込みと物理解析とをつなぐ解析手法です。

© 2018 Sony Semiconductor Solutions Corporation

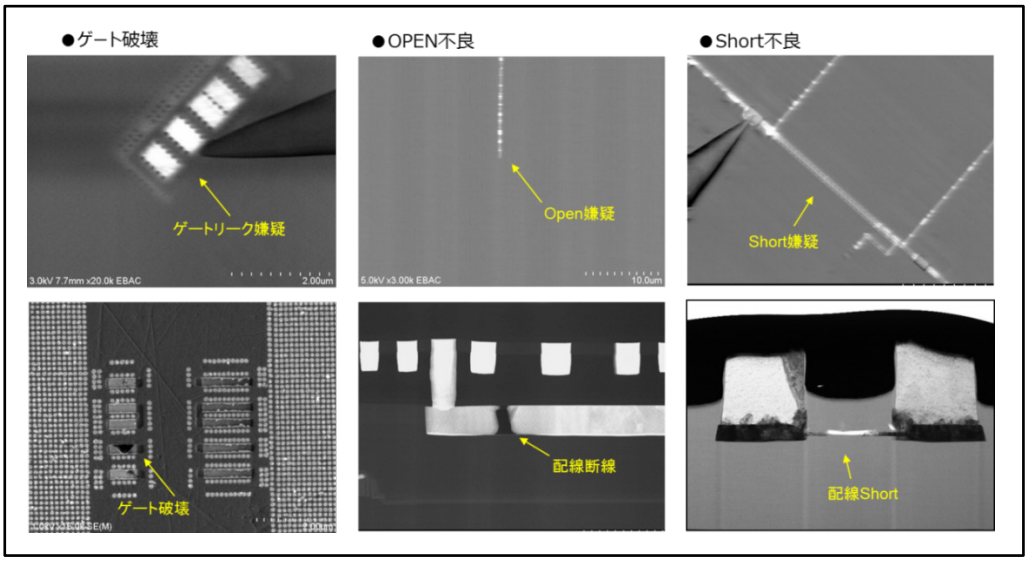



図 5-24　EBAC 解析事例

### 5.3.7.3　特殊加工技術

故障箇所特定技術（5.3.7.2.1～7 参照）を用いて不良箇所を絞込むには、デバイスを動作させる、あるいは電流異常経路にバイアスをかけるなど電気的に不良症状を再現できることが必須となります。 また、解析対象となるチップ上層に別チップやパッケージがあると障害となるため、対象チップを露出させる必要もあります。

このように、故障箇所特定には、デバイスが動作できるよう加工する技術、且つ解析対象チップを露出した状態に加工する技術が非常に重要となります。

#### 5.3.7.3.1　再組立て技術

解析サンプルがチップ状態の場合、端子への印加条件が制限されるため簡易的な電圧印加しかできず、故障状態を再現できない場合があるため動作解析するにはパッケージに組立てする必要があります。 また、エンドユーザーの不良では、イメージセンサーを搭載したカメラモジュールごと不良品が返却されるため、一旦イメージセンサー部を取り出し、且つ電気試験ができるようパッケージ化する再組立て技術が必要です。これらはダメージなくチップを取り出し、解析用に準備したパッケージ基板にマウント～ワイヤリングすることで容易に電気試験が可能となり、不良症状を再現して動作解析できるようになります。

© 2018 Sony Semiconductor Solutions Corporation

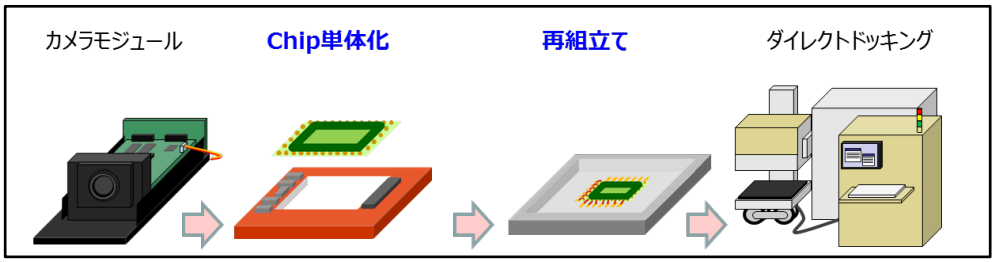



図 5-25　再組み立ての一例

### 5.3.7.3.2　活き造り加工技術

配線レイヤーの積層化により上層からでは配線層が障害となり発光解析などできないため、チップの裏面を露出してアプローチする必要があります。また、当社のイメージセンサーはチップ積層化により、対象チップまで開口しないと解析が出来ません。 これらの理由により、対象チップの裏面を開口し、且つ電気特性を維持するには高精度な加工技術が必要となります。 当社では、上層チップなどを開口し対象チップ裏面を露出するため高精度な切削機で加工しています。これらの加工は電気的に活かした状態が必須であるため、活き造り加工と呼んでいます。 この加工技術は当社イメージセンサーでの故障発生時の不具合原因究明には大変重要な技術となります。

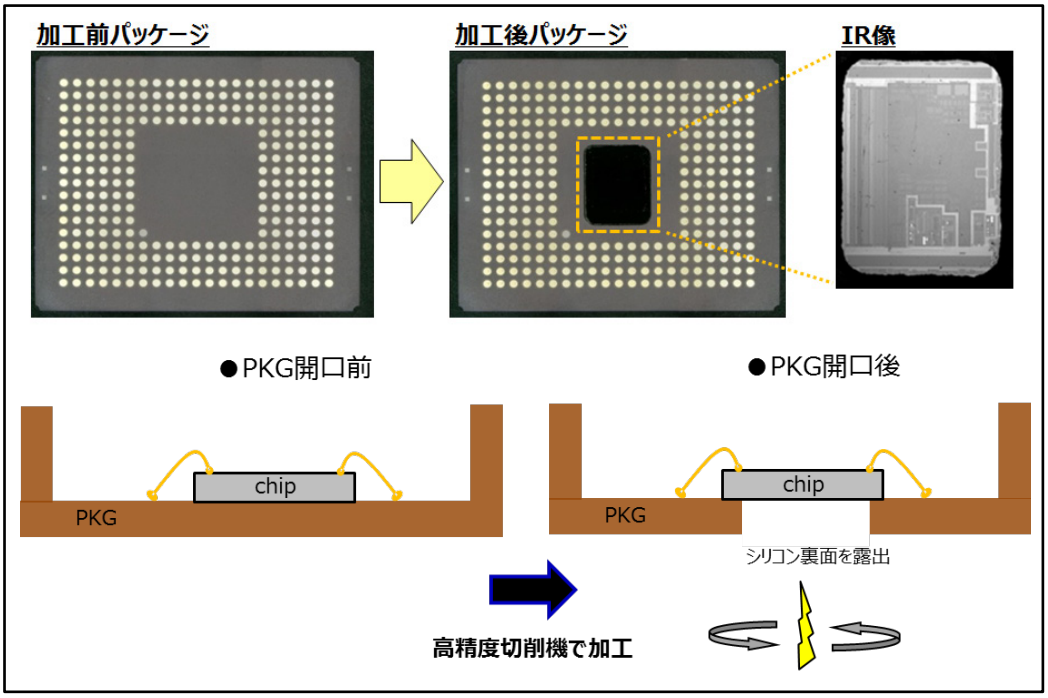



図 5-26　活き造り加工事例

© 2018 Sony Semiconductor Solutions Corporation

## 5.3.8　チップ物理解析技術

### 5.3.8.1　概要

半導体デバイスの故障解析において、様々な解析手法を用いて故障箇所を絞込んだ後で最終的に直接故障箇所を観察するための技術です。時間をかけて故障箇所の絞込みを行っても、ここで失敗すると、結局は何も情報が得られなくなるために非常に重要な技術となります。但し、異物付着、パターン崩れなど明らかに判明するケースもあれば、物理解析を実施しても故障が見つからないケースもあります。

見つからないケースとしては、

1) 故障箇所の絞込みの仕方が不十分であり、他の場所に故障箇所があったケース

2) 故障箇所は間違いなく絞り込めているが、

① 物理解析中の異常見落とし

② 物理解析手法の選択ミス（層間剥離解析が良いのか断面解析が良いのかの選択ミス）により異常を観察しきれなかった

ケースなどが主に考えられます。

いずれにしても、物理解析エンジニアの力だけでは故障原因の判明には至りません。また、絞込みの段階で如何に正確に、如何に狭い範囲で絞込むことができるか、絞込んだ後の解析手法（平面からのアプローチか断面からのアプローチかなど）を如何に選択するのかが非常に重要で、その後の判明率を左右します。

当社では、故障解析に携わっている各種分野のエンジニアが常に連携して、場所の絞込み・最適手法の選択を行い、その上で物理解析を実施することを徹底し、故障原因判明率の向上に努めています。

次から個々のチップ物理解析技術を紹介します。

### 5.3.8.2　層間剥離技術

様々な解析手法を使用して絞込んだ故障箇所を、SEM などを用いて物理的に観察を行なうためには、回路を形成する配線層や層間絶縁膜を一層ずつ剥離する必要があります。代表的な処理方法として、以下の手法が挙げられます。

(1)　ウェットエッチング（Wet Etching）

- 薬液を用いて、各配線層／層間絶縁膜などのエッチングを行います。
- 材料に合わせた薬液を用いるため選択性に優れていますが、等方性エッチング（縦方向／横方向ともにエッチングが進む）ですので微細プロセスには適用困難です。

© 2018 Sony Semiconductor Solutions Corporation

(2) ドライエッチング（Dry Etching）

- 気体と固体（被加工材料）との物理的、化学的反応によりエッチングする方法で代表的な手法にRIE（Reactive Ion Etching）があります。
- 異方性エッチング（一方向だけにエッチングが進む）のため、微細な加工が可能です。

(3) 表面研磨（Surface Polishing ）

- 表面研磨機と研磨剤を用いて、選択性なくあらゆる材料の除去を行なう手法で、試料表面を平坦に仕上げることが可能です。
  最近の半導体デバイスは、平坦化プロセス（CMP：Chemical Mechanical Polishing）やCu 配線プロセスが採用されているため、層間絶縁膜をドライエッチングで、配線層を表面研磨で剥離する手法が主流となっています。

#### 5.3.8.3 チップ表面・裏面観察技術

実際に故障原因を見つけるための観察装置として、目的（観察対象物の大きさや見たい場所など）に応じて実体顕微鏡、金属顕微鏡、赤外線顕微鏡、電子顕微鏡などを使用します。実体顕微鏡は主にパッケージなどの外観観察、金属顕微鏡は主にチップ表面観察などに使用します。また赤外線顕微鏡はシリコンを透過しての観察が可能ですので、保護回路の破壊が疑われる場合など膜剥離せずに、チップ裏面からの観察に使います。光学顕微鏡でも理論的にはサブミクロンレベル分解能は有していますが、実際の観察可能レベルは、数ミクロンレベルの異常の観察などに用いられます。しかし、電子顕微鏡と異なり、大掛かりな装置や試料の前処理なども不要なので手軽に用いることができるため、故障解析の際には電子顕微鏡で観察する“事前観察”として使用します。

実体顕微鏡・金属顕微鏡・赤外線顕微鏡は光学顕微鏡ともいわれ、光（可視光や赤外光）を試料に当てて観察するのに対して、電子顕微鏡は文字どおりに“電子”を試料に当てて観察する顕微鏡です。電子顕微鏡の利点は原子レベルの大きさのものが観察できる分解能を有しているところにあります。しかしながら、装置自体が大掛かりで高額（数千万円から数億円程度）な上、磁場や振動などの影響を受けない専用の部屋が必要であり、観察試料も場合によっては前処理などが必要で観察までに時間がかかります。

電子顕微鏡にも大きく

1) 走査型電子顕微鏡（SEM：Scanning Electron Microscope）

2) 透過型電子顕微鏡（TEM：Transmission Electron Microscope）

の 2 種類があります。

ここでは表面観察に使用する SEM に関して少し説明をし、TEM に関しては別項で説明します。

© 2018 Sony Semiconductor Solutions Corporation

#### 5.3.8.3.1　走査型電子顕微鏡（SEM）

SEM は試料に電子線を当てて、そこから出てきた反射電子、二次電子、特性 X 線のうち、反射電子や二次電子を検出器に集めてその情報を画像化して観察をする装置です。このうち、反射電子は組成像、二次電子は表面の凹凸像（図 5-27 参照）を得ることができ、残りの特性 X 線を利用すれば EDX などで元素分析が可能となります。主に平面剥離試料の観察に用います。また、SEM 観察時はグランドに接続されている金属物は明るく、フローティングしている金属物や絶縁膜は暗く観察されます（図 5-28 参照）ので、VC 法（Voltage Contrast）という解析手法にも用いることが可能です。 半導体デバイスの場合、配線材料以外は絶縁膜（SiO2 など）を使用しているために、観察中に電子線を長時間当て続けることでデバイスが帯電し綺麗な像が観察できない、焼付きを起こすなど、その後の解析継続に様々な不都合が発生します。したがって、観察時には必要最小限の時間で素早く観察を終了させるか、試料表面にカーボンや金などの導電性物質をコーティングすることで帯電を防ぐケースもあります。

**＜Solder Bump反射電子像＞**　　**＜Solder Bump二次電子像＞**

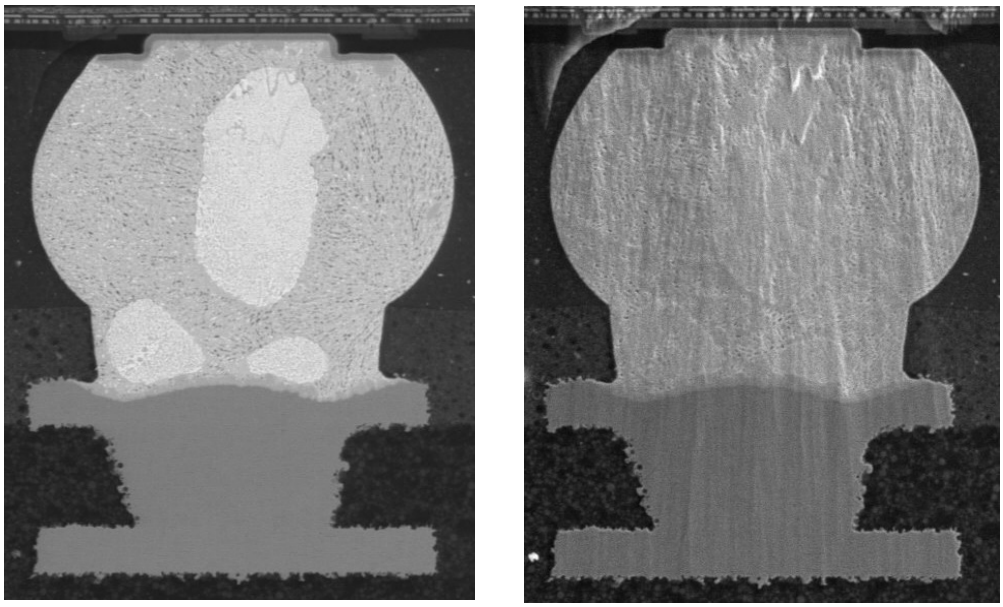


図 5-27　反射電子像と二次電子像

© 2018 Sony Semiconductor Solutions Corporation

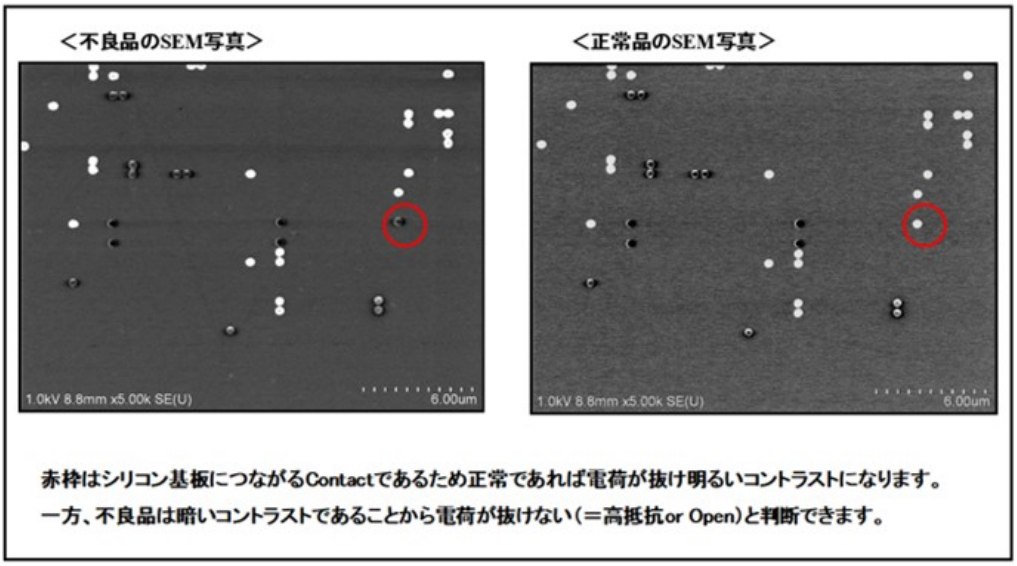



図 5-28　VC 法の解析事例

#### 5.3.8.4　断面解析技術

チップの断面観察には主に断面試料作成用として FIB を使用します。また、作成した試料断面の詳細観察に TEM を用います。 観察対象部分を FIB を用いて薄片化し、それをマイクロサンプリング法で取り上げ、TEM 用のホルダーに設置して TEM を用いて断面詳細観察を実施します。ここでは、FIB と TEM に関して説明します。

##### 5.3.8.4.1　FIB (Focused Ion Beam)

イオン源として主にガリウム（Ga）を使い、これを電界で加速したビームを試料表面に当て、表面の原子を弾き飛ばすことで必要な場所をエッチングすることが可能です。ビームは数百 nm 程度まで絞ることができるため、サブミクロンレベルの加工ができます。 また、もうひとつの機能として、導電性膜や絶縁膜を蒸着することも可能です。 断面解析加工の他、上記機能を使って、半導体回路の配線修正などもできるので、開発品のバグ修正試料を短期間で作成することが可能です。また走査イオン顕微鏡像（SIM：Scanning Ion Microscope）を観測することができ、上記エッチングや蒸着中の試料断面観察も容易にできます。 この SIM 像はグランドに接続されている金属配線は明るく、フローティングしている金属配線や絶縁膜は暗く観察されますので、SEM 観察と同様に VC 法という解析手法にも用いることが可能です。しかし、観察中は Ga イオンが試料表面に常に当たって観察部位がエッチングされるため素早く観察する必要があります。

© 2018 Sony Semiconductor Solutions Corporation

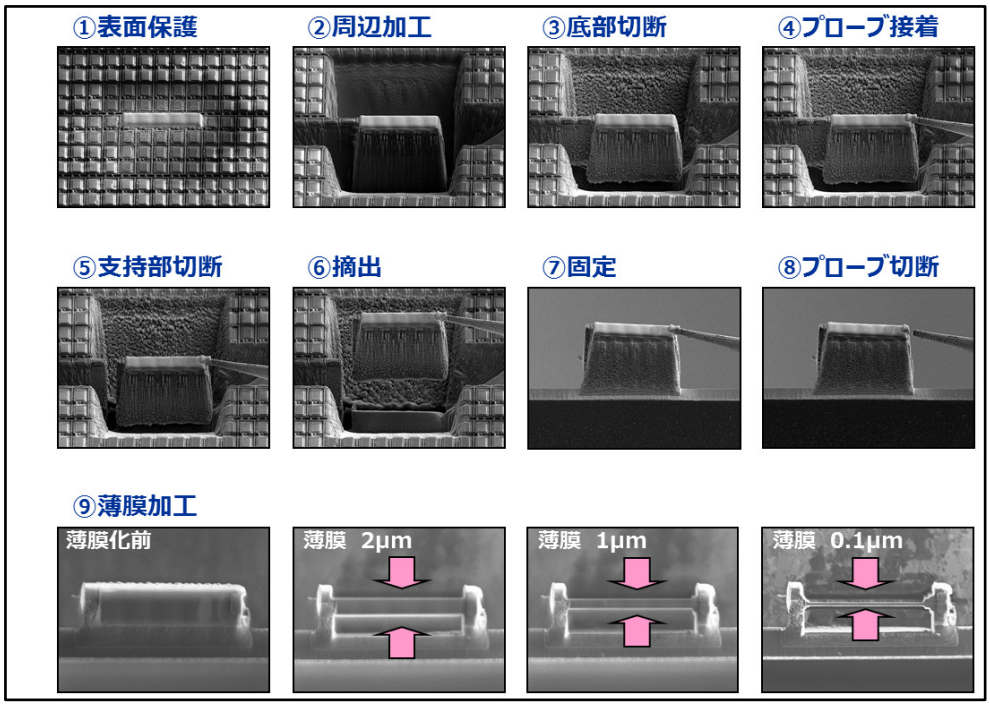



図 5-29　FIB を使った STEM 観察用薄膜加工例

© 2018 Sony Semiconductor Solutions Corporation

5.3.8.4.2　TEM

TEM は試料に電子線を当てて、その試料を透過してきた電子を試料と反対側にある検出器で集めてその情報を画像化して観察する装置です。試料の構成成分により電子線の透過量に差が出るためにその情報を画像化し試料構造を観察します。したがって主な用途は断面観察となります。（図 5-30 参照）

しかし、電子を透過させるために、加速電子を超高圧（100kV～1000kV 程度）にして透過させる必要があり、これらの加速電圧を得るために装置が大きく（全長約 2m～8m 程度）設置場所が限られるのが欠点です。 最近では前述の FIB などを使用して試料をより薄く加工することが可能となり、また FIB 加工時のダメージ層を除去して仕上げる技術（Ar ミリング）も進んでいるため、より低加速で透過させることが可能となってきています。また、SEM と TEM の両方の機能を併せ持つ走査型透過電子顕微鏡（STEM：Scanning Transmission Electron Microscope ）も多く使用されています。

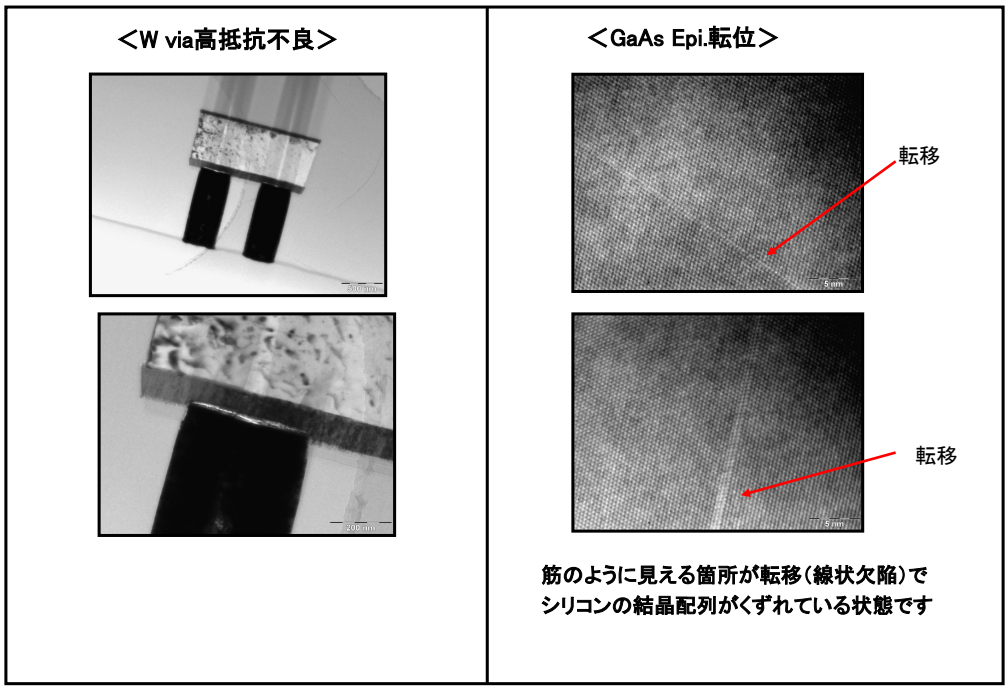



図 5-30　TEM 解析事例

© 2018 Sony Semiconductor Solutions Corporation

## 5.3.9　分析技術

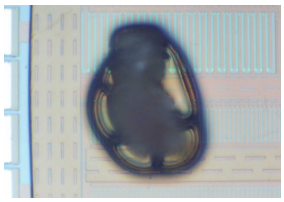
### 5.3.9.1　概要

半導体デバイスを故障解析した際に、異物の付着や金属配線材料の変色など様々な異常が確認されることがあります。分析技術は、これらの元素や材料を同定することで発生原因プロセスを究明し、該当プロセスの改善を行なうために用います。

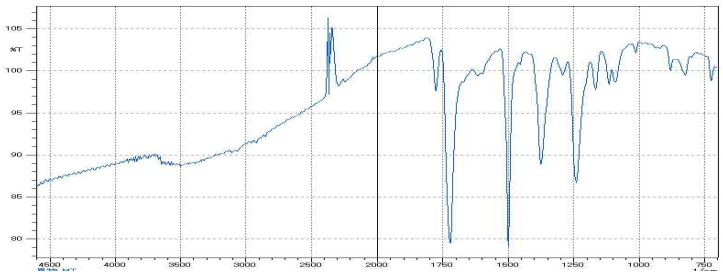
分析装置には様々な種類のものがありますが、ここでは半導体デバイスの故障解析によく用いられる装置を説明します。

### 5.3.9.2　FT-IR（Fourier Transform Infrared Spectroscopy）分析

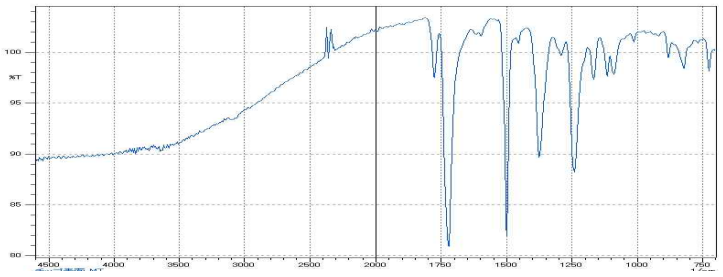
この分析方法は物質に赤外線を照射した際の化合物分子の赤外線吸収を利用して元素結合状態の情報を得る測定方法です。得られたスペクトルより、測定対象物に含まれる官能基が分かるため、主に有機物の同定に用います。なお、既知試料、データベースのスペクトルと比較することにより、容易に成分の判断を行うことができます。また、大気中で測定を行うため、固体、液体、気体の定性、定量分析が可能です。（図 5-31 参照）



Wafer表面異物付着




付着物のFT-IR分析結果




ポリイミド(Wafer表面)のFT-IR分析結果

図 5-31　FT-IR による解析事例

© 2018 Sony Semiconductor Solutions Corporation

半導体デバイスの故障解析の場合、異物が微小であるため、赤外顕微鏡を用いて、顕微反射法,顕微透過法で測定します。前者は Chip のボンディングパッドやパッケージのランドなど金属上付着物の場合に選択し、非破壊で測定を行うことが出来ます。後者は、有機基板などの金属物以外に付着した異物の場合に選択します。異物をサンプリングし、ダイヤモンド、KBr 板などの赤外透過率の高い試料台へ載せ測定します。サンプリングは対象物が数 10μm と小さい場合は、マイクロサンプリングシステムを使用して行います。

なお、これらの分析手法の最小分析エリアは約 15μm×15μm です。また、反射法の一つに ATR（Attenuated Total Reflectance）法がありますが、これは固体表面層（約 1μm）のみを測定する手法です。結晶をサンプルに接触させる手法であるため、凹凸のあるサンプルは不可など対象物に制限がありますが、非破壊分析であるため、不具合を維持したままの測定が可能です。また、表層分析が可能なため、例えばテープ類など、両面の成分データを非破壊で取得することができます。なお、分析エリアは装置能力に依存し、□10～100μm 程度です。

FT-IR 分析は、特に有機化合物の同定では、分析の容易さ、データベースが充実しているという点で最も有効な手法ですが、比較的低感度です。約 10%程度含有していないと検出されないといわれており、数 μm 程度の微小領域や汚染などの微量の分析には不向きです。

#### 5.3.9.3 EDX/WDX（Energy Dispersive X-ray spectrometer/Wavelength Dispersive X-ray spectrometer）分析

この分析手法では、分析対象物（固体）に極細く絞った電子線を照射し、その際に発生する特性Ｘ線を検出器で計測することで、元素を同定することが可能です。またその中に含まれる元素量を定量化することもできます。数ミクロンの深さの元素までを検出するために最表面分析には不向きです。検出方法の違いで 2 種類の方法に分類され、

1) EDX（エネルギー分散分析）： 発生した特定 X 線のすべてを、半導体検出器を用いて増幅してエネルギー別に X 線の波長を振り分け分析する方法
2) WDX（波長分散分析）： 発生した特性Ｘ線のうち、任意の設定波長をもつ X 線の分光結晶を使用し選別して分析する方法があります。それぞれに得意不得意があり、EDX では WDX と比べて波長分解能は劣りますが、多くの元素を同時に分析することが可能なために短時間での定性分析が可能です。波長分解能が劣ることから近接ピーク同士が重なることが多く、誤判定に注意する必要があります。また、軽元素の分析は不得意です。

   WDX は EDX と比べて波長分解能が優れており、近接ピークが重なることが少ないために同定時の誤判定のリスクがなくなります。分光結晶を用い、その角度を変えながら対象の元素を測定していくため極微量（10ppm 程度）な元素分析ができ、EDX では検出できない軽元素もカバーできます。ただし、同時に複数元素の測定ができないため分析時間が長くなる、また、EDX と比較し、大プローブ電流量が必要なためサンプルへのダメージが大きいなどの不利な点もあります。

© 2018 Sony Semiconductor Solutions Corporation

以上の特性を利用して、実際に分析する際には、EDX で構成元素を確認し、その中の目的元素に対して、WDX で同定結果が正しいかの確認のため詳細分析を行うのが一般的です。（図 5-32、図 5-33 参照）

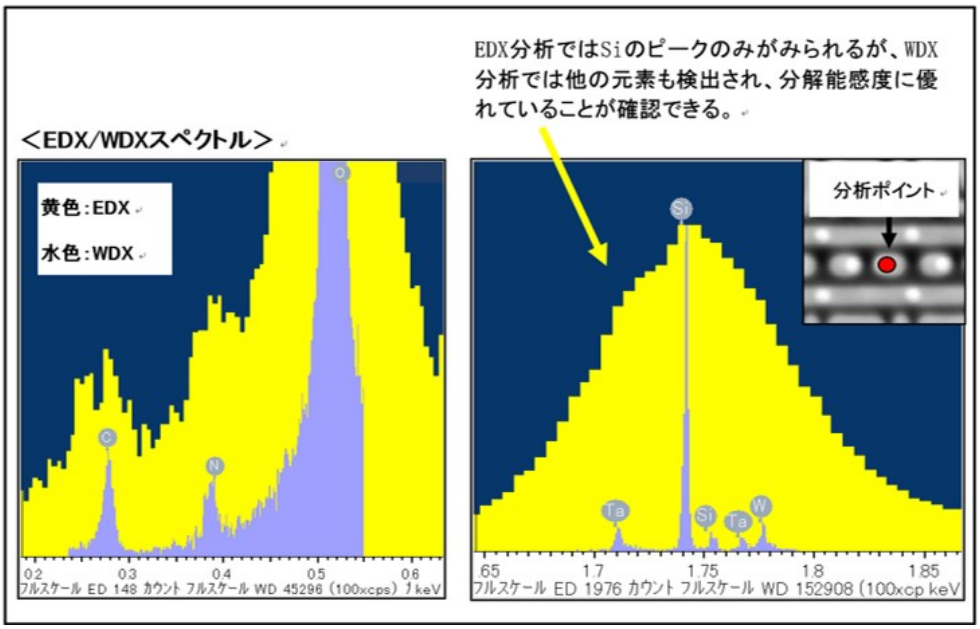



図 5-32　EDX/WDX による分析事例

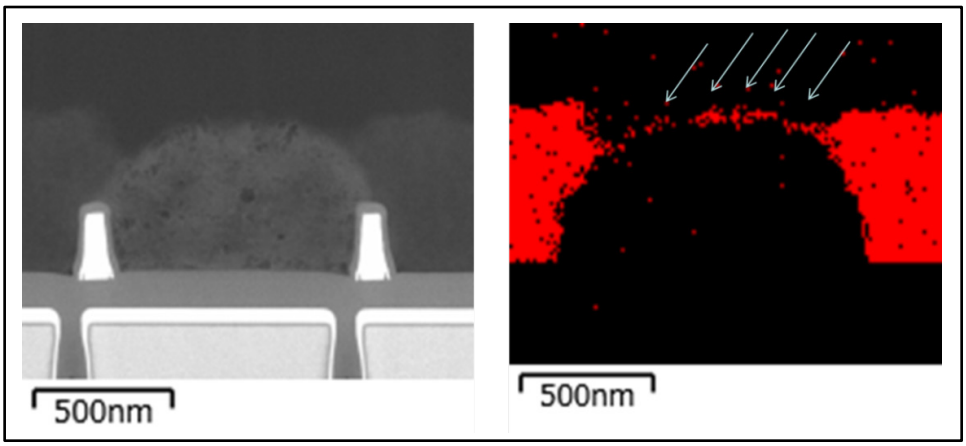



図 5-33　EDX/WDX による画素特性不良場所による STEM 断面観察事例（左）とイメージマッピン像（右）STEM 像では判別できないが、該当カラーフィルター上に別のカラーフィルター成分が残っているのがわかる（矢印部）

© 2018 Sony Semiconductor Solutions Corporation

#### 5.3.9.4　TOF-SIMS（Time-of-Flight Secondary Ion Mass Spectrometry）分析

飛行時間型二次イオン質量分析法（TOF-SIMS）は、固体表面にパルス状の一次イオンビームを照射した際、スパッタリング現象により表面から放出される二次イオンをその飛行時間差（飛行時間は重さの平方根に比例）を利用して質量分離する手法です。 この手法では、試料表面から 1 分子層程度の深さに存在する元素あるいは分子種に関する情報が非常に高感度で検出される為、極表面の分析に用いられます。

2 次汚染の影響を受けやすいため、サンプルの取り扱いに注意が必要ですが、有機・無機化合物の構造解析、同定が可能(絶縁物も分析可)なため対象サンプルが幅広く、特にシミなどの汚染分析を得意とします。

また、1 次イオンビームを操作することで、試料表面のイオン像(イメージング)を取得することができます。 その他、イオンスパッタによる表面エッチングと測定を繰り返すことで深さ分析を行うことも可能です。深さプロファイルの取得やデータを構築して、平面、断面のイメージ像を提示することができます。

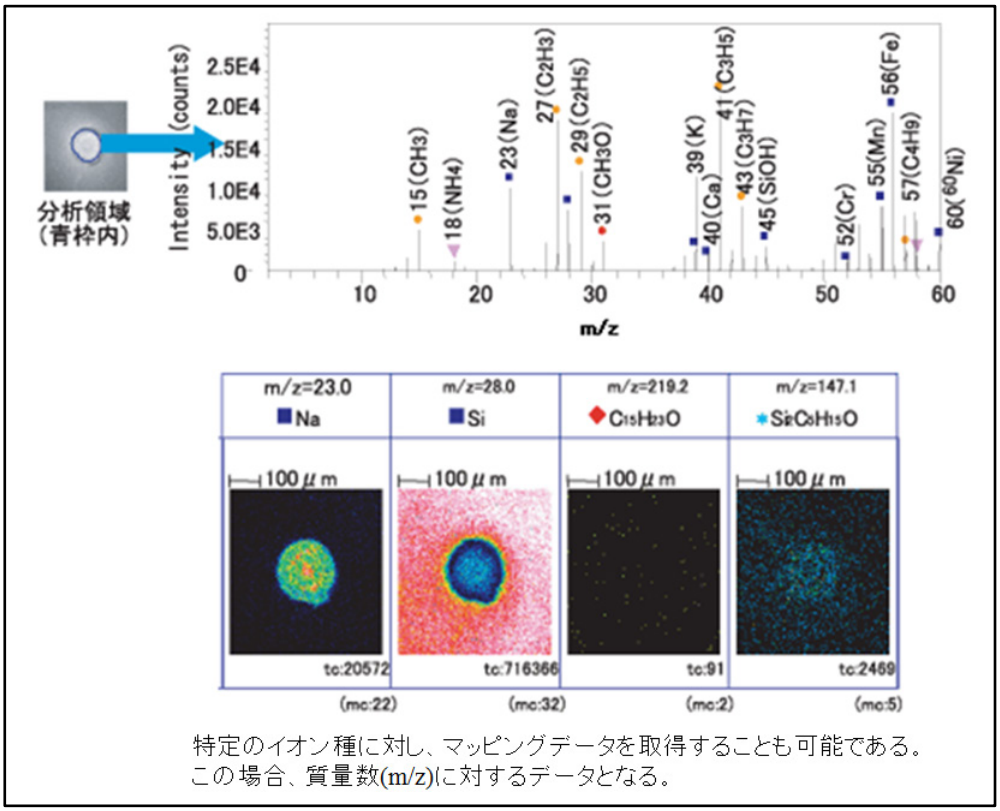



図 5-34　TOF-SIMS 分析事例

© 2018 Sony Semiconductor Solutions Corporation

#### 5.3.9.5　走査型プローブ顕微鏡（SPM：Scanning Probe Microscope）

走査型プローブ顕微鏡は、走査型トンネル顕微鏡（STM：Scanning Tunneling Microscope）や原子間力顕微鏡（AFM：Atomic Force Microscope）など微細な探針で試料表面を走査し、試料間の相互作用を検出する技術の総称です。

検出する相互作用により、形状・機械特性・電気特性など多様な測定ができ、且つナノレベルの極微小な探針で走査することで、原子レベルの分解能、透過型電子顕微鏡（TEM）レベルの拡大能力を有します。

また、高分解能でありながら、SEM や TEM のような真空環境を必要とはせずに、大気中で使用できるため、生物・材料・半導体など多くの分野で使用されています。

SPM は試料間の電気作用を検出することでドーパントの可視化ができる特徴があり、検出する電気作用により、走査型キャパシタンス顕微鏡（SCM：Scanning Capacitance Microscopy）、走査型拡がり抵抗顕微鏡（SSRM：Scanning Spread Resistance Microscopy）、走査型マイクロ波顕微鏡（SMM：Scanning Microwave Microscopy）などが知られています。当社のイメージセンサーではセンサー領域にドーパントが多種・複雑に注入されるため、上述手法でドーパント可視化を行うことで故障解析技術の一つとして利用しています。

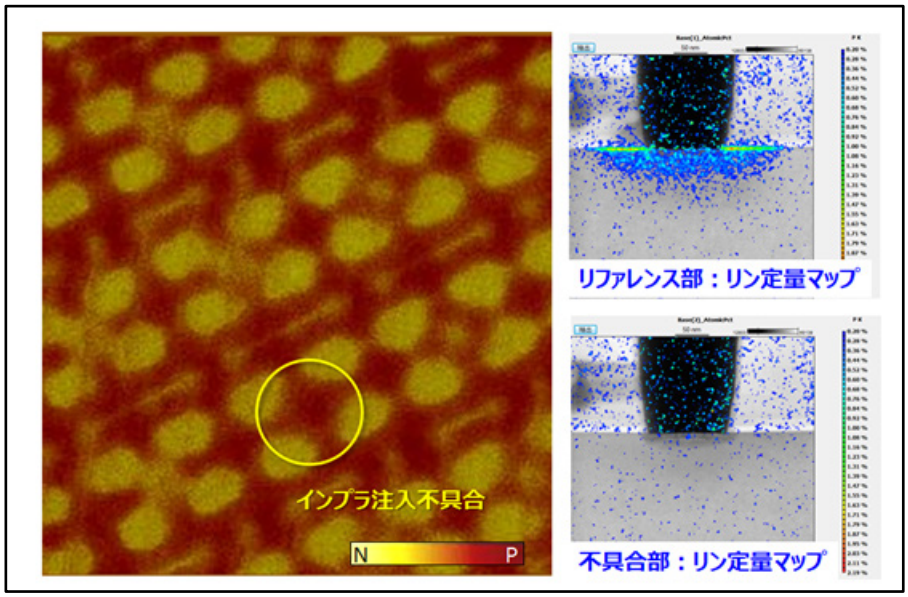



図 5-35　SPM による解析事例（左）とその断面部の EDX イメージマップ像

© 2018 Sony Semiconductor Solutions Corporation

### 5.3.10 異常と故障メカニズムの関連性の確認

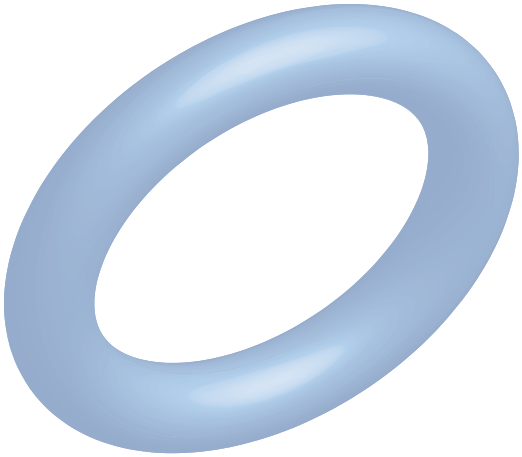
故障解析を実施した際に特定された“異常”はそれが原因で故障を発生させているという確かな裏づけを基に説明できることが重要です。“異常”があっても、故障原因にならないケースも多々あります。

例えば、配線パターンに形状異常が見られたとしても、隣接する配線と接触などしていなければ、見た目がよくないということ等はいえますが、それが不具合の原因であるとはいえません。その場合は必ず他に真の原因があるので、それを確実に見つけ出さなければ適切な改善には結びつきません。

このように、様々な解析手法を用いて異常を確認した場合には、それが不具合症状や電気特性との矛盾を生じていないことが説明できなければなりません。説明できて初めて、故障原因の特定に至ったといえます。しかし、不具合症状と故障原因が一致するかを確認することは、近年の半導体デバイスの高集積化や回路の大規模化により不具合症状も複雑化してきており、解析技術エンジニアだけで確定させるのが困難になってきています。

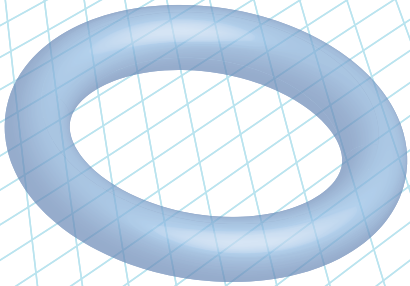
当社では回路設計エンジニア、製品技術エンジニア、信頼性技術エンジニア、プロセスエンジニアなどと協力しながら故障メカニズムを確実に解明し、適切な改善を実施して継続的な品質改善活動に取り組んでいます。

© 2018 Sony Semiconductor Solutions Corporation



# 第6章 半導体デバイスの取り扱い上の注意

Chapter 6 Precautions for Handling Semiconductor Devices



# 第 6 章　目次

6.　半導体デバイスの取り扱い上の注意
6.1　はんだ耐熱性 ..... 6-3
6.1.1　発生メカニズム ..... 6-3
6.1.2　パッケージクラックに関する注意事項 ..... 6-6
6.2　電気的破壊に対する取り扱い上の注意 ..... 6-8
6.2.1　静電気(ESD)破壊 ..... 6-8
6.2.1.1　静電気の帯電現象 ..... 6-8
6.2.1.2　静電気破壊試験方法 ..... 6-10
6.2.1.3　静電気破壊による故障メカニズム ..... 6-13
6.2.2　静電気対策 ..... 6-13
6.2.2.1　静電気対策の基本的な考え方 ..... 6-14
6.2.2.2　工程管理基準の考え方 ..... 6-15
6.2.2.3　基本的な静電気対策 23）24） ..... 6-17
6.2.3　EMC（Electromagnetic Compatibility：電磁的両立性） ..... 6-25
6.2.3.1　EMC とは ..... 6-25
6.2.3.2　EMC/EMI/EMS について ..... 6-25
6.2.3.3　半導体デバイス EMC 測定方法の標準化動向 ..... 6-26
6.2.3.3.1　EMI ..... 6-26
6.2.3.3.2　EMS ..... 6-27
6.2.3.4　半導体デバイス EMC 測定方法の事例 ..... 6-27
6.2.3.4.1　IEC/TS 61967-3-Ed.2.0 磁界プローブ法：EMI ..... 6-27
6.2.3.4.2　SAE J1752-3 TEM セル法：EMI ..... 6-27
6.2.3.4.3　IEC61000-4-2 人体モデル ESD：EMS ..... 6-28
6.2.3.5　半導体に求められる EMC ..... 6-28
6.2.4　強電界・強磁界 ..... 6-28
6.2.5　過電圧破壊（EOS 破壊） ..... 6-28
6.2.6　高周波デバイスの取り扱い ..... 6-29
6.2.7　ラッチアップ ..... 6-29

© 2018 Sony Semiconductor Solutions Corporation

6.2.8　熱暴走 ..... 6-31
6.3　機械的破壊に対する取り扱い上の注意 ..... 6-32
6.3.1　外部リードの成形・切断について ..... 6-32
6.3.2　プリント基板への取り付けについて ..... 6-33
6.3.3　洗浄方法 ..... 6-33
6.3.4　放熱板の取り付けについて ..... 6-34
6.4　熱的破壊に対する取り扱い上の注意 ..... 6-35
6.4.1　はんだ付けについて ..... 6-35
6.4.2　表面実装デバイス（SMD）の取り付け上の注意点 ..... 6-36
6.5　製品仕様・梱包・運搬・保管上の注意事項 ..... 6-37
6.5.1　製品仕様 ..... 6-37
6.5.1.1　半導体製品採用にあたってのご注意 ..... 6-37
6.5.1.2　絶対最大定格 ..... 6-37
6.5.1.3　動作保証範囲 ..... 6-39
6.5.1.4　推奨動作条件 ..... 6-39
6.5.1.5　性能保証（特性保証）範囲 ..... 6-39
6.5.1.6　ディレーティングについて ..... 6-40
6.5.2　梱包・運搬・保管上の注意事項 ..... 6-40
6.5.2.1　梱包上の注意 ..... 6-40
6.5.2.2　運搬上の注意 ..... 6-42
6.5.2.3　保管上の注意 ..... 6-43
6.6　サーマルマネジメントについて ..... 6-45
6.6.1　放熱のメカニズム ..... 6-46
6.6.1.1　熱伝導 ..... 6-46
6.6.1.2　対流 ..... 6-46
6.6.1.3　輻射 ..... 6-47
6.6.2　熱抵抗について ..... 6-48
6.6.2.1　$\theta_{JA}$（チップ（junction）-周囲環境（ambient）間熱抵抗） ..... 6-48
6.6.2.2　$\theta_{JC}$（チップ（junction）-パッケージトップ面（case）間熱抵抗） ..... 6-48
6.6.2.3　$\theta_{JB}$（チップ（junction）-実装基板（board）間熱抵抗） ..... 6-49
6.6.3　チップサイズやパッケージ構造による放熱性 ..... 6-50

© 2018 Sony Semiconductor Solutions Corporation

# 6.1　はんだ耐熱性

近年、表面実装型デバイス（SMD: Surface Mount Device 以下 SMD と記す）は、電子機器製品の小型・多機能化を背景に広く用いられており、より多ピン化・大型化が進んでいます。この SMD を取り扱う上で、留意して頂く必要がある不具合として、リフロー炉のような全体加熱式ではんだ付けを行う場合のパッケージクラックが挙げられます。

この不具合を未然に防ぐために、当社では、パッケージ構成材料や構造の改善を行うとともに、製品ごとに耐パッケージクラック性に応じたランク分け（基本的に JEDEC の実装レベル(MSL)を採用しています）を行い、それに基づいたはんだ付け実装をお願いしています。

本項では、実装工程におけるパッケージクラックを未然に防ぐために、その発生メカニズム、注意事項について説明します。なお、半導体製品全般に対するはんだ付けの注意事項については、6.4 項で述べます。

## 6.1.1　発生メカニズム

### (1)　パッケージクラック現象

実装時のパッケージクラックは、以下の過程を経て生じます。(図 6-1 参照)

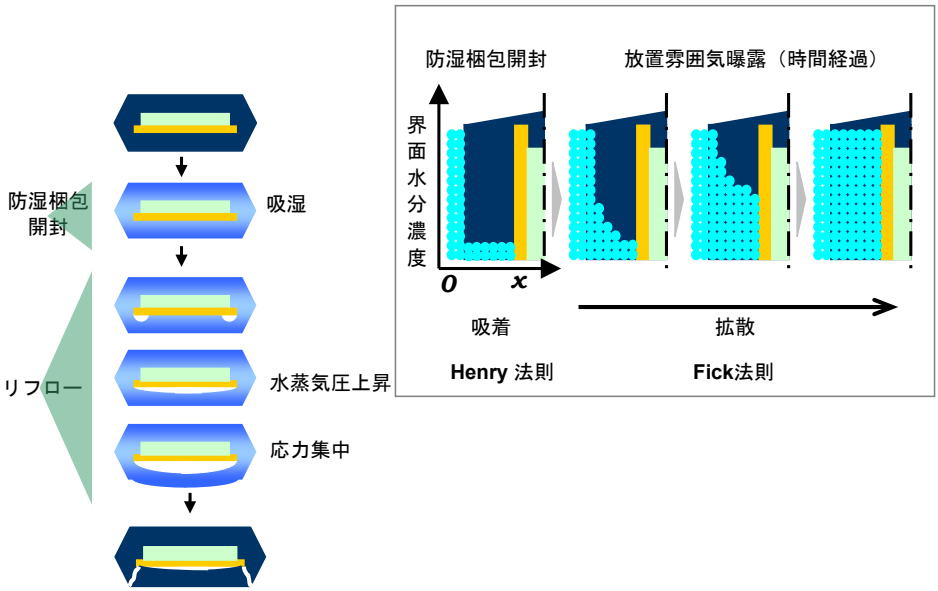



図 6-1　パッケージクラック現象

© 2018 Sony Semiconductor Solutions Corporation

① 防湿梱包を開封し、SMD が保管や実装工程の雰囲気に曝されると、大気中の水分がパッケージを形成する樹脂表面に吸着し、内部へと拡散します。拡散は、時間の経過とともに進み、パッケージ内部のチップやダイパッドと樹脂の界面に水分が到達します。

② ①の状態で、リフローなどの全体加熱法によるはんだ付けを行うと、SMD 全体が高温に曝され、界面に存在する水分が気化膨張します。それによって界面の微小な間隙内の水蒸気圧が急激に上昇し、チップやダイパットの端面に応力が集中し、樹脂の熱時強度を上回るとクラックが生じます。

③ クラックが発生した場合の不具合は、クラックの発生場所によって異なります。
クラックがチップ側の場合は、チップとリードの電気的導通を図るためのワイヤが切断されたり、樹脂とチップの界面が剥離したりするために耐湿性が劣化する可能性があります。また、ダイパッド側の場合には、はんだ溶融時に、パッケージが膨らむためはんだ付け不良の原因となります。

### (2) クラック発生因子・・・界面水分濃度

上述のとおり、パッケージの吸湿はパッケージクラック発生の重要な要因ですが、さらに厳密に表すならば、その総和の絶対量が問題ではなく、パッケージ内部のチップやダイパッドと樹脂の界面水分濃度が発生因子となります。

以下、吸湿過程と界面水分濃度の導出に関して説明します。(図 6-1 参照)

一般的に、固体材料は大気中に曝されると、主にファンデルワールス相互作用により、表面に水分子が吸着します。SMD のパッケージ材料である有機材料は、無機材料と比較して水分子との親和性が強いとされています。

パッケージ表面に吸着する水分濃度 Qs は、Henry の法則に従い、材料固有の溶解度係数 S、雰囲気の水蒸気圧 Pa とすると次式でされます。

$$Qs=S\ Pa \qquad \cdots\cdots 式 6.1.1$$

ここで、溶解度係数 S は、活性化エネルギーEs、温度 T とすると次式で表されます。

$$S=So\ \exp(Es/kT) \qquad \cdots\cdots 式 6.1.2$$

k：ボルツマン定数　So：定数

パッケージに吸着した水分は、拡散現象、つまり濃度勾配がなくなるまでパッケージ内部へと移動します。このとき、パッケージ表面の水分は常に大気から供給され、式 6.1.1 で決まる水分濃度が維持されます。拡散現象は、SMD の保管や実装工程の環境温度範囲では、Fick 型拡散に従い、拡散係数 D、位置座標 x、時刻 t とすると次式で表すことができます。

© 2018 Sony Semiconductor Solutions Corporation

$$\frac{\partial Q(x,t)}{\partial t} = D\frac{\partial^2 Q(x,t)}{\partial x^2} \qquad \cdots\cdot 式6.1.3$$

ここで、拡散係数Dは、活性化エネルギーEd、温度Tとすると次式で表されます。

$$D = Do\ \exp(Ed/kT) \qquad \cdots\cdot 式6.1.4$$

k：ボルツマン定数　Do：定数

以上、式6.1.1～式6.1.4より、パッケージクラック発生因子である界面水分濃度を得ることができ、当社では、この界面水分濃度に着目したパッケージクラックの耐性評価を行い、製品に対して、実装レベルを決定しています。

**(3) クラック発生因子・・・はんだ付け時のパッケージ曝露温度**

前述のとおり、パッケージクラックは、界面に達した水分がはんだ付け時に急激に気化膨張し、内部応力がパッケージを構成する樹脂の熱時強度を上回ることによって発生し、パッケージ曝露温度が高温ほど、その発生確率が上昇します。これは、パッケージ界面の間隙内に発生する水蒸気圧、およびパッケージを構成する樹脂強度の温度依存性によります。

例えば、曝露温度が220℃と260℃で比較すると、後者は、水蒸気圧が約2倍上昇し、樹脂強度が約1/2に低下することが、飽和水蒸気圧の温度依存性から分かります。（図6-2、6-3参照）

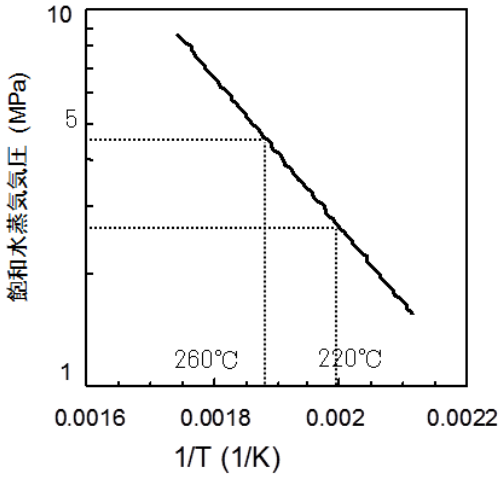



図6-2　飽和水蒸気圧の温度依存性

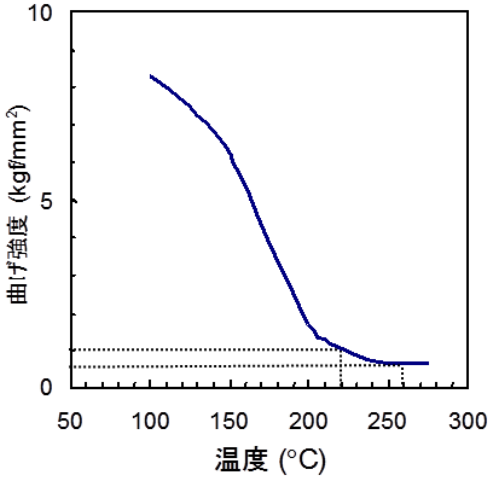



図6-3　モールド樹脂　曲げ強度の温度依存性

© 2018 Sony Semiconductor Solutions Corporation

(4) クラック発生因子・・・パッケージ構造・材料

発生因子である界面水分濃度は、はんだ付け前の SMD が曝される雰囲気およびその時間が同じであっても、拡散経路となる半導体チップ上またはダイパット下の樹脂厚や樹脂の溶解度係数・拡散係数が違えば、異なる値を示します。

また、はんだ内部に発生する応力 σ は、周辺固定の等荷重モデルから、チップまたはダイパッドの短辺を a、短辺 a と長辺 b の比で決まる係数 k、チップ上の樹脂厚またはダイパッド下の樹脂厚を h、パッケージ内部の水蒸気圧 P とすると、次式で表されます。(図 6-4 参照)

$$\sigma = 6k\ (a/h)2P \qquad \cdots\cdots \text{式 } 6.1.5$$

そのため、界面水分濃度やもうひとつの発生因子であるはんだ付け曝露温度が同じであっても、半導体チップやダイパッドサイズが違えば、クラック発生確率が異なります。

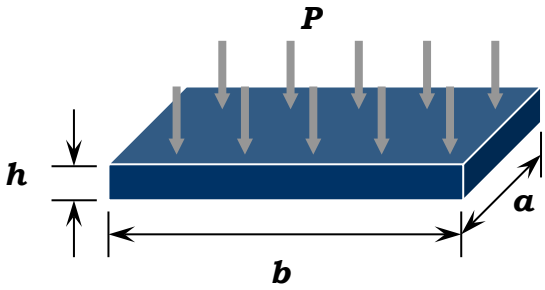



図 6-4　周辺固定の等分布荷重モデル

## 6.1.2　パッケージクラックに関する注意事項

(1) 製品を実装する場合には、製品に対応した実装レベルで規定された開封後の許容時間およびはんだ付け許容回数、および実装レベルの前提条件である、開封後の SMD の曝露雰囲気、はんだ付け温度条件を逸脱することのないようお願いします。

(2) 防湿梱包開封後の許容時間を超えた場合、ベーキングによって脱湿することにより、使用することが可能です。しかし、界面水分濃度を適切な値まで低下させるベーキング条件は、パッケージによって異なりますので、必要な場合には営業担当までお問合せください。

(3) 防湿梱包を開封し、実装できなかった製品に関しては、30℃30%RH 以下で保管するようお願いします。

© 2018 Sony Semiconductor Solutions Corporation

(4) 防湿梱包のわずかな傷でも、梱包内に湿度が進入し、その結果実装レベルで推奨する条件であってもパッケージクラックが発生する可能がありますので、その取扱いには十分に留意してください。

(5) 未開封の防湿梱包であっても、ラミネート袋からわずかですが水分を透湿しますので、長期の保管は避けるようお願いします。

＜参考文献＞

1) （社）関西電子工業振興センター信頼性分科会：「プレッシャークッカーテストに関する文献調査報告書」、1983

2) 南條：高分子学会高分子と吸湿委員会「材料と水分ハンドブック」、1968

3) 斉藤、平井：材料力学演習

© 2018 Sony Semiconductor Solutions Corporation

# 6.2 電気的破壊に対する取り扱い上の注意

半導体デバイスは、ゲート酸化膜の薄膜化や配線の微細化に伴うトランジスタサイズの縮小により、静電気(ESD)、過電圧/過電流(EOS)、ノイズなどの電気的ストレスに対する耐性低下が深刻な問題となっています。今までは問題にならなかったわずかな電圧変動やノイズの侵入によっても、デバイスの誤動作や破壊が起こる可能性が高くなっています。

ここでは、半導体デバイスの電気的ストレスに対する誤動作、破壊防止対策について述べます。

## 6.2.1 静電気(ESD)破壊

### 6.2.1.1 静電気の帯電現象

静電気の帯電とは、物体同士が接触して移動した電荷が分離した際に物体に残り、そのまま保持されていることをいいます。物体に電子が過剰に存在する場合は負に帯電し、電子が不足している場合には正に帯電します。

一般的に、物体は電気的性質として電子を獲得しやすいものと与えやすいものがあります。表 6-1 はファラデーの帯電列で、帯電列の上位のものと下位のものを接触あるいは摩擦させると、上位のものが下位のものに電子を与えて正に帯電し、下位のものが電子を受け取り負に帯電します。表 6-2 に代表的な静電気の帯電電圧の例を示します。

表 6-1　摩擦帯電列表１）

| | |
|---|---|
| 正 | アセテート |
| (+) | ガラス |
| ▲ | ナイロン |
| | ウール |
| | 絹 |
| | アルミニウム |
| | ポリエステル |
| | 紙 |
| | 綿 |
| | 鋼鉄 |
| | ニッケル，銅，銀 |
| | 亜鉛 |
| | ゴム |
| | アクリル |
| ▼ | ポリウレタンフォーム |
| 負 | PVC（ビニル系） |
| (−) | テフロン |

表 6-2　代表的な静電気の帯電電圧

| 静電気発生源 | 帯電電圧 | |
|---|---|---|
| | 相対湿度 10%～20% | 相対湿度 65%～90% |
| カーペット上を歩く | 35,000V | 1,500V |
| ビニールタイル上を歩く | 12,000V | 250V |
| 一般の作業台で作業する人 | 6,000V | 100V |
| カードケース | 7,000V | 600V |
| 作業台から取り上げたポリ袋 | 20,000V | 1,200V |
| ウレタンフォームクッションの椅子 | 18,000V | 1,500V |

© 2018 Sony Semiconductor Solutions Corporation

半導体デバイスを取り扱う工程内で、静電気放電現象を起こす静電気の発生メカニズムには主に次の 2 つがあります。

(1) 物体間の接触・剥離（摩擦）による帯電

2 つの物体が接触すると、接触面ではそれぞれの物体間で電荷の移動が起こります。(図 6-5(a)-(b)) この状態で物体を剥離すると、それぞれの物体表面には電荷が偏った状態で残り、静電気に帯電している状態となります。(図 6-5(c)) 一般的に、静電気発生の原因とされる摩擦帯電は、この接触と剥離が連続して起こる状態と考えることができます。

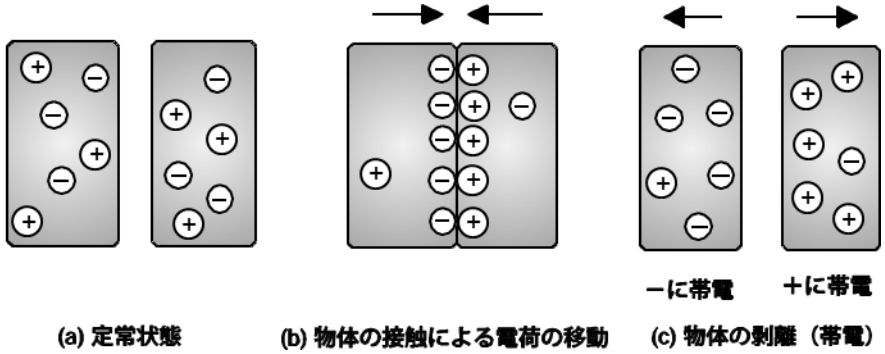



図 6-5　物体同士の接触・剥離による帯電の発生メカニズム

(2) 帯電物体からの誘導による帯電

絶縁された導体に帯電物体が近づくと、導体内部では帯電物体からの電界の影響を受けて静電誘導による電荷の偏りが生じます。この状態は、導体が誘導帯電を起こしている状態になります。(図 6-6(a)) 誘導帯電を起こして電荷が不均一になった状態で、導体の一部を接地（GND）や別の導体に接触させると、近づけた帯電物体と同じ極性の電荷が導体から移動し、静電気放電現象が発生します。(図 6-6(b)) さらに、放電した導体を接地から離し帯電物体を導体から遠ざけると、帯電物体に引き寄せられていた導体中の電荷が自由になり、導体中に過剰に存在してその極性に帯電した状態になります。(図 6-6(c)) この状態で再び導体の一部を接地または別の導体に接触させると、帯電していた電荷が放電を起こします。(図 6-6(d))

© 2018 Sony Semiconductor Solutions Corporation

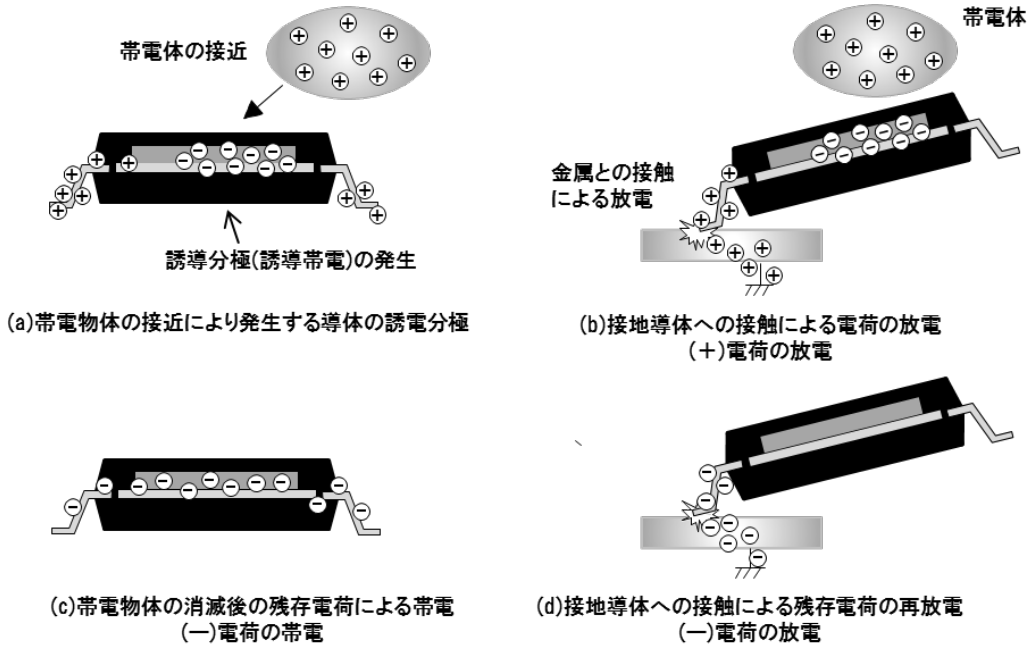



図 6-6　帯電物の接近による誘導帯電の発生と 2 回の放電現象

この帯電現象を半導体デバイスにあてはめると、チップとリードフレーム部分はこの導体部分にあたります。絶縁された状態の半導体デバイスに帯電物体を近づけるだけで、チップには誘導帯電が発生し端子を金属に接触させると静電気放電が発生する危険性があります。また、プラスチックパッケージの表面が摩擦などにより帯電した場合、チップに誘導帯電を起こす帯電物体の役目を果たし、同じく誘導帯電による静電気放電を起こす原因となります。

このような誘導帯電は、半導体デバイスのみで発生するのではなく、接地されていない金属、絶縁性の手袋や指サックをして持ったピンセットや工具類、PCB 基板の配線パターン、フレキシブルコネクタの金属配線なども同じような誘導帯電を起こします。これらは、実装工程において半導体デバイスに対して静電気放電を起こす原因となります。

このように、半導体デバイスを取り扱う工程内では、デバイスに誘導帯電を起こす原因となる帯電物体を取り除くことも重要な対策となります。

#### 6.2.1.2　静電気破壊試験方法

半導体デバイスの取り扱いで発生する静電気放電現象は、帯電物体や放電の形態によりいくつかのモデルに分類されています。半導体デバイスの ESD 耐性を評価する試験方法は、これらの静電気放電モデルをもとに考えられた試験方法です。

© 2018 Sony Semiconductor Solutions Corporation

(1) 人体帯電モデル（HBM: Human Body Model）3),4),5)

人体帯電モデル（HBM）は、帯電した人体に蓄積された静電気が半導体デバイスに放電するモデルで、人体の容量(=100pF)と人体とデバイスの接触抵抗(=1500Ω)を放電回路に用いた試験方法です。この試験は、古くから米国のMIL規格（MIL-STD-883D method3015.7）に採用されていたことから、国内外で広く半導体デバイスの標準的なESD試験方法として採用されています。

(2) マシンモデル（MM: Machine Model）3),6)

マシンモデルのESD試験方法は、もともと人体の容量と放電抵抗のワースト値(200pF/0Ω)をもとに考えられた人体放電モデルの１つで、日本国内の半導体デバイスメーカで主に設計検証で静電気破壊に弱い回路を見つける手段として利用されてきました。しかし、人体からの放電現象は人体帯電モデル（HBM）で検証できることと、放電経路の過度なインダクタンス成分(≒750nH)により実際の工程内では発生しない過剰な放電現象をシミュレートしていることがわかり、半導体の試験規格から削除されました。

(3) デバイス帯電モデル（CDM: Charged Device Model）7)～11)

デバイス帯電モデル（CDM）は、半導体デバイス自身に静電気が帯電したり、デバイス近傍にある帯電物体からデバイスに誘導された電荷が放電する現象をモデル化した試験方法です。このモデルの特徴は、実環境で発生する放電現象に最も近い形の放電メカニズムを再現していることで、工程で発生したESD破壊モードとの相関も広く確認されています。

デバイス帯電モデルの試験方法を図6-7に示します。デバイス帯電モデルでは、デバイス側に高電圧源を接続して接地電極板とデバイス間の寄生容量に電荷を蓄積し、端子に接続したSW1を閉じることにより放電金属棒を介してGNDに放電する接触放電法(図6-7(a))と、デバイスを保持する金属板に高電圧を印加してデバイスに誘導帯電を起こさせ、接地された金属板(放電用プレート)を端子に接触させて放電させる気中放電法(図6-7(b))があります。これを、試験デバイスの1端子ごとに充電と放電を繰り返し行い、最終的には全端子にストレスを印加してデバイスの耐性を評価します。

© 2018 Sony Semiconductor Solutions Corporation

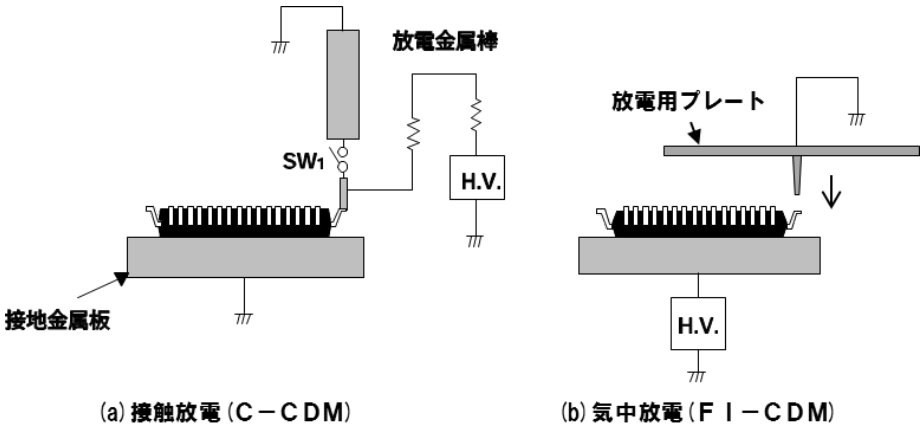



図 6-7　CDM/FICDM 試験方法

(4)　ESD 試験規格

現在の規格に採用されている ESD 試験方法を表 6-3 に示します。HBM、CDM の各試験モデルが規格として採用されており、人体モデル（HBM）は国内外でほぼ共通の試験が行われています。デバイス帯電モデル（CDM）は、国内の JEITA 規格では直接デバイスの端子に放電電極を接触させて電荷の注入/放電を行う試験方法を採用しているのに対し、米国の JEDEC 規格では高電圧を印加した電極板から誘導帯電でデバイスを帯電させ、放電電極を接触させて放電する FICDM（Field Induce CDM）の試験方法が採用されています。

表 6-3　半導体デバイスの ESD 試験方法

| ESDモデル | 試験回路 | 試験規格 |
|---|---|---|
| 人体帯電モデル<br>(HBM) | C=100pF, R=1500Ω　1回放電<br>R=1500Ω<br>H.V.　C=100pF　DUT | JEITA<br>EIAJ ED-4701/304(2013)<br><br>ANSI/ESDA/JEDEC<br>JS-001-2017 |
| デバイス帯電モデル<br>(CDM) | 接触放電 (C-CDM)　放電金属棒　SW1　H.V.　接地金属板<br>気中放電 (FI-CDM)　放電用プレート　H.V. | JEITA<br>EIAJ ED-4701/305C(2013)<br><br>ANSI/ESDA/JEDEC<br>JS-002-2014 |

C-CDM: Contact CDM
FI-CDM: Field Induced CDM

© 2018 Sony Semiconductor Solutions Corporation

#### 6.2.1.3　静電気破壊による故障メカニズム

半導体デバイスの主な静電気破壊メカニズムには、以下の 2 つの現象があります。

(1) 熱破壊（接合破壊、配線溶断）

(2) 絶縁膜破壊（ゲート酸化膜破壊、層間膜破壊）

**(1) 熱破壊**

熱破壊現象には、主に pn 接合破壊と金属配線の溶断があります。pn 接合破壊は静電気放電のような比較的低いエネルギーでも発生しますが、配線の溶断は一般的に高いエネルギーを必要としますので、静電気放電よりもサージやはんだごてのリークなど電気的オーバーストレス（EOS：Electric Over Stress）現象により発生する場合が多いと考えられています。

pn 接合破壊現象は、接合部に過度の電流が流れることにより接合部が局部的に温度上昇を引き起こし、Si の融点（1415℃）を超えることにより発生します。工程内では、帯電した作業者（人体）からの放電や、実装基板やコンデンサなどの容量の大きい実装部品類に溜まった電荷が放電する場合などに発生することがあります。静電気破壊試験では、人体帯電モデル(HBM)の破壊モードとして観察することができます。

**(2) 絶縁膜破壊**

絶縁膜破壊は、ゲート酸化膜や配線間の層間絶縁膜が短絡する故障メカニズムです。MOS トランジスタの薄膜ゲート酸化膜を持つデバイスで多く発生し、工程内の ESD 破壊で最も多くみられる破壊モードです。破壊に要するエネルギーが小さいため、熱破壊が発生するより少ない電荷量で発生し、工程内の ESD 破壊では主要な破壊現象となります。この絶縁膜破壊は、デバイス帯電モデル（CDM）の主な破壊メカニズムとして知られ、CDM 試験で再現することができます。

### 6.2.2　静電気対策

最先端プロセスで製造された MOS トランジスタは、ゲート酸化膜厚が数 nm 以下までに薄膜化され酸化膜耐圧は数 V 程度しかありません。半導体デバイスでは、入出力端子ごとに外から侵入する静電気に対する保護回路を設けて内部トランジスタに静電気が印加されないように対策していますが、この保護素子だけで外部から侵入する数 100V を超える静電気から内部のトランジスタを守ることは非常に困難となっています。

さらに、デバイスの動作周波数が高くなるにつれ保護素子の寄生インピーダンスが動作速度に与える影響を無視することができなくなり、保護素子の小型化要求や保護素子自体を付けられない端子も増加しています。このため、デバイスの微細化・高速化が進むにつれデバイスの静電気

© 2018 Sony Semiconductor Solutions Corporation

耐性は低下します。

このような背景から、半導体デバイスを取り扱う工程では静電気破壊を防ぐための対策がますます重要となります。ここでは、半導体デバイスを取り扱う上で静電気破壊からデバイスを守るために必要な一般的な知識と、工程内の静電気管理方法、静電気破壊防止対策について述べます。

#### 6.2.2.1　静電気対策の基本的な考え方

半導体デバイスを取り扱う工程の静電気対策に対する基本的な考え方を以下に示します。

**(1)　静電気を発生させない工程・設備設計を行う**

工程設計や製造設備の導入検討段階で静電気対策設備（接地、床、環境など）を導入し、摩擦や接触による静電気の発生を抑える対策を装置仕様に盛り込むことによって、効果的な静電気対策を施した製造工程の構築が可能になります。

**(2)　静電気の帯電しやすいものを工程内に持ち込まない**

必要不可欠なもの以外、静電気を発生しやすい梱包材、紙、備品、事務用品などの絶縁物を工程内に持ち込まないことで、摩擦や誘導帯電による静電気破壊を防ぐことができます。

**(3)　静電気が発生したら、速やかに逃がして放電を防ぐ**

装置や治具の接地、床や作業台表面の抵抗値コントロール、イオナイザによる帯電電荷の中和など、様々な手段を用いて発生した静電気を速やかに逃がすことにより、半導体デバイスへの静電気放電の機会を抑制することができます。また、デバイスと接触する金属部分を適切な抵抗値を持つ材質に替えることで静電気を徐々に逃がし、急激な放電による静電気破壊を防ぐことができます。

**(4)　静電気対策状況を定期的に確認し、対策の効果を維持する**

静電気対策を実施した後、その効果が確実に維持されていることを定期的に確認し管理しなければ、対策の効果を維持することはできません。

**(5)　静電気対策の必要性を作業者や工程管理者に意識付ける**

静電気対策には、作業者や工程管理者の静電気に対する知識と理解が必要になります。静電気対策アイテムは、それを使う人の意識によってより高い静電気破壊防止効果が得られます。静電気対策は、単に静電気対策アイテムを導入するだけで防げる問題ではありません。このような対策を徹底し、静電気対策の考え方を浸透させることは、工程の管理者や作業者に対して静電気破壊に対する危険性を認識させることができ、工程内での静電気破壊問題の低減に有効な手段となります。

© 2018 Sony Semiconductor Solutions Corporation

#### 6.2.2.2　工程管理基準の考え方

工程内の静電気帯電量を管理するためには、管理基準となる帯電量を決める必要があります。この管理基準は、その工程で取り扱うデバイスの静電気耐性にもとづいて設定されるものですが、管理基準を決める上で大切なことは、6.2.1.2 項で解説したデバイスの静電気破壊試験モデルの中から、どの試験方法による静電気耐性値を工程管理基準の目安として採用すればよいかということです。工程で発生しない静電気放電現象をもとに管理基準を設定しても、実際の静電気破壊を効果的に防ぐことはできません。

図 6-8 に、工程内に存在する帯電物体と静電容量（対接地容量）の関係を示します。一般的に、工程内に存在して静電気放電を起こす物体は、それぞれ異なる静電容量の値を持っています。たとえば、人体の静電容量は一般的に 80～200pF 程度 13)～16)といわれており、人体帯電モデル（HBM）で採用している容量に相当します。これに対し、作業者以外でデバイスと静電気放電を起こす可能性があるピンセット、実装機のデバイス吸着治具、位置決め用ステージの金属部品などの多くは、いずれも fF～10 数 pF 程度の静電容量値しかありません。16）また、半導体デバイス自身の持つ静電容量も、そのほとんどが数 pF～数 10pF の範囲に含まれます。（表 6-4）このように、帯電物体の静電容量が小さくなると同じ電圧に帯電していても蓄えられた静電エネルギーは低くなるため、静電破壊を起こしにくくなります。

© 2018 Sony Semiconductor Solutions Corporation

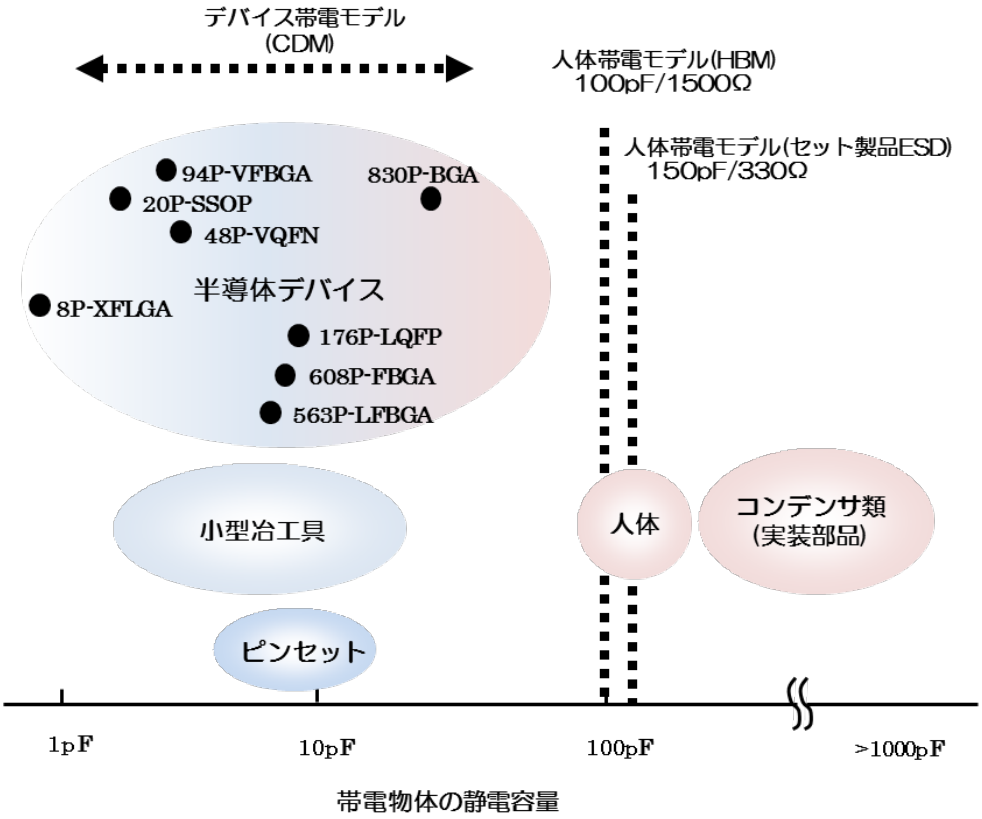



図 6-8　静電容量から見た工程内の帯電物体と試験方法の関係

表 6-4　デバイスのパッケージ静電容量測定結果（CDM 試験時、GND 板上）

| パッケージ | 静電容量(pF) | パッケージ | 静電容量(pF) |
|---|---|---|---|
| SSOP-20pin | 2.0 | BGA-830pin | 16.4 |
| LQFP-176pin | 9.3 | FBGA-608pin | 8.5 |
| VQFN-48pin | 4.4 | VFBGA-94pin | 3.8 |
| XFLGA-8pin | 0.6 | LFBGA-563pin | 7.9 |

小さな静電容量に蓄えられた静電気の放電現象で起こる破壊は、HBM 試験などの大きな容量（100pF）から放電したときの破壊モードとは明らかに異なる場合が多く存在します。17)～20) 図 6-8 からわかるように、工程内に存在する小容量の帯電物体からの静電気放電現象を再現する試験方法として、デバイスの寄生容量を用いたデバイス帯電（CDM）試験方法が最も適しています。18)，20)～22)

© 2018 Sony Semiconductor Solutions Corporation

このように、工程内の帯電物体に対する帯電量の管理値は、帯電物体の種類によって適切な値を設定することが望ましいと考えられ、作業者（人体）に対しては人体帯電モデル、デバイスや治具に対してはデバイス帯電モデルの耐性データを参考にすると、より現実に合致した帯電量管理の基準を設定することができます。

#### 6.2.2.3　基本的な静電気対策 23）24）

静電気に敏感な半遺体デバイスを取り扱う工程は、静電気対策エリア(EPA:ESD Protected Area)を指定して以下に示す静電気対策を実施してください。

(1)　人体に対する対策

半導体デバイスやデバイスが実装された基板を直接取り扱う作業者は、リストストラップと ESD 保護靴の両方を着用してください。リストストラップは必ずコード付きのものを使用してください。リストストラップは、常に作業者の体と接地間がコードで繋がった状態で使用しないと、人体を安定して低い電位に保持することはできません。作業中にコードに急激な負荷がかかると、コードが断線する危険性がありますので注意してください。

リストバンドは、素肌に密着させて使用してください。着衣の上からリストバンドを装着すると、人体と接地間に必要な抵抗値を確保できなくなります。

ESD 保護靴は、靴の裏が汚れると人体と床との接触抵抗が上昇し、規定の漏洩抵抗が得られなくなることがあります。また、椅子に座って作業している間に作業者が足掛けなどに両足を上げてしまうと、床と人体の間に導通が得られなくなるなど、常に必要とされる静電気漏洩効果を維持できるとは限りません。したがって、直接デバイスを取り扱う作業者に対しては、安全を期す意味でもリストストラップと ESD 保護靴の両方を着用することが効果的になります。

手袋、指サックについては、ESD 対策用のものを使用してください。特に、デバイスや基板を素手で取り扱う際に使用する指サックは、必ず導電性か静電気拡散性のものを使用してください。指サックの表面が帯電すると、デバイスを持つ際にデバイスに静電気が誘導され、デバイス帯電モデルの放電現象が発生する危険性が高くなります。(図 6-9、図 6-10)

人体の帯電電位は作業者の動作によって大きく変化し、椅子から立ちあがる動作などでは急激に帯電電位が上昇することがあります。(図 6-11)

© 2018 Sony Semiconductor Solutions Corporation

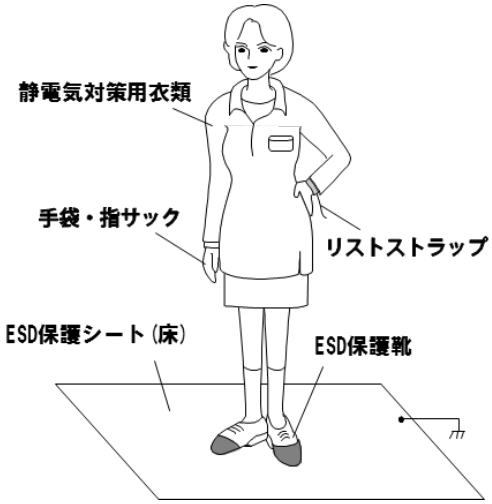



図 6-9　人体（作業者）の対策例

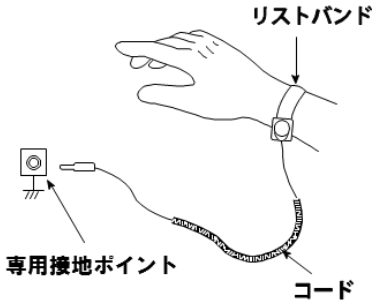
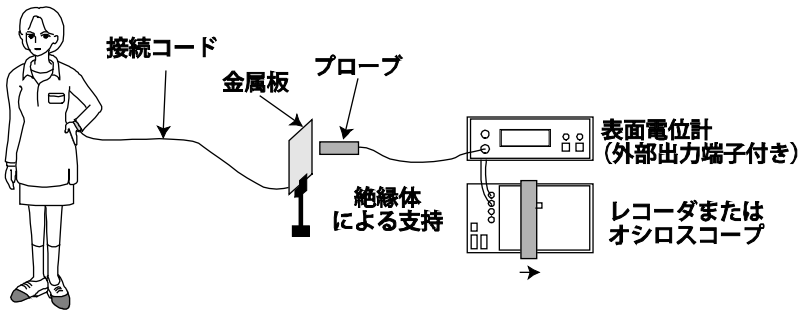
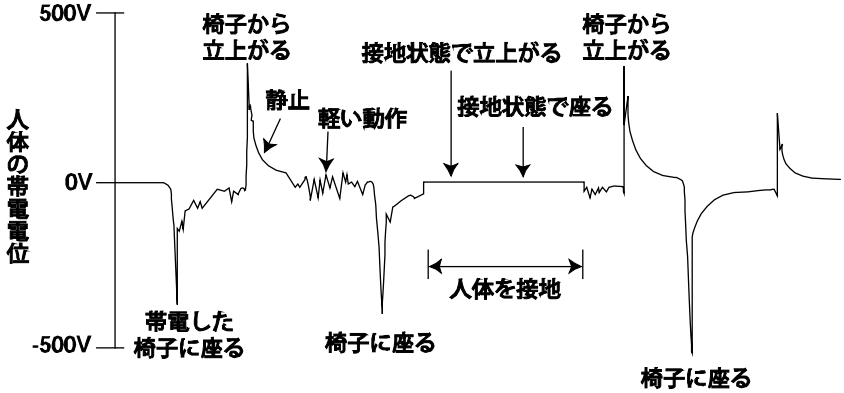



図 6-10　リストストラップの使用例




(a) 測定方法




(b) 測定結果

図 6-11　人体の帯電電位の変化

© 2018 Sony Semiconductor Solutions Corporation

(2) 作業台

作業台表面は、ESD保護シート（導電性または静電気拡散性の抵抗特性を持つ材質のもの）を敷くか、同じ特性を持った材質のものを使用して必ず接地してください。（図 6-12）作業台上には、静電気を発生しやすい絶縁物を置かないようにしてください。作業に必要な備品や治具は、なるべく導電性や静電気拡散性の素材で造られたものを使用し、やむを得ない場合にはイオナイザを使用してください。特に作業中にデバイスに接触または接近する可能性があるものについては、絶縁物の使用を極力避けてください。作業台上に絶縁性のシートや板を置いて作業することも避けてください。

(3) 椅子

作業者が座る椅子は、座る部分の表面と背もたれに ESD 保護カバーをしたものか、静電気対策用の椅子を使用してください。椅子から床への接地経路は、導電性キャスターにより確保してください。（図 6-13）椅子から立ちあがる際には、衣服と座面や背もたれとの剥離帯電により瞬間的に非常に高い電位の静電気が発生する危険性があります。（図 6-11）

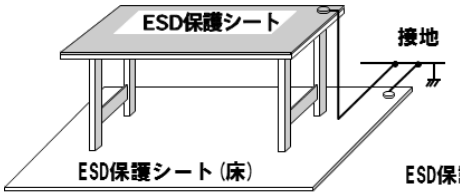



図 6-12　作業台の対策例

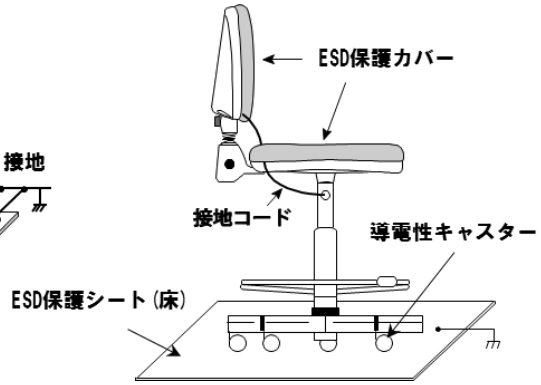



図 6-13　作業用椅子の対策例

(4) 床

作業領域の床は、ESD 保護床または ESD 保護シートを敷設してください。作業領域全面に敷設することができない場合は、最低でも ESD 保護靴を着用した作業者がデバイスまたはデバイスが実装された基板を取り扱う作業領域に ESD 保護シートを敷設してください。ESD 保護シートを敷設した場合は、必ずすべてのシートを接地に接続してください。（図 6-12）

(5) 装置・設備

実装機、測定器などの装置類、搬送用などの設備類は必ず本体を接地してください。接地された本体と絶縁体で隔離されている金属部品で、デバイスに接触する可能性がある部品については個別に接地してください。デバイスに接触または接近する可能性がある絶縁体の部品は、静電気拡散性の特性を持つ材質に変更するかイオナイザによる除電を行ってください。

© 2018 Sony Semiconductor Solutions Corporation

電動ドライバ、はんだごてなどは、本体やこて先を接地するための接地型電源コードのものを使用してください。交流電圧のリークにより、過電流（EOS）破壊が発生する危険性があります。

### (6) 環境

静電気は、一般的に湿度（空気中の水分濃度）が高いほど発生しにくいといわれています。しかし、実際は静電気が発生しないのではなく、発生した電荷が表面に付着した水分によって漏洩する割合が高くなるため、結果的に帯電しにくいようにみえます。

工程の湿度管理では、静電気が発生しにくい湿度環境を維持することは重要ですが、実際の工程内では装置の発熱などで部分的に温度が高い（相対湿度が低い）空間が多く存在しています。また、通電により発熱した基板、プラスチック製のトレイや袋に包装されていた部品、乾燥した倉庫内で長期間保管されていたものなど、必ずしも全てが静電気の発生しにくい状態にあるとは限りませんので、湿度を高くすることで静電気が発生しにくくなり、ほかの静電気対策を簡略化することができるといった考え方は非常に危険であると考えられます。湿度環境の管理については、あくまで補助的な対策としてとらえることが必要です。

### (7) 保管・運搬

半導体デバイスの保管は、必ず出荷時の梱包形態で保管してください。出荷時と同じ ESD 保護包装材で正しく保管されていれば、保管時の取り扱いにおいても静電気破壊の危険性は低くなります。

また、デバイスを実装した基板の保管は、必ず導電性または静電気拡散性の材質で作られたコンテナや保管棚に収納してください。（図 6-14、図 6-15）このとき、仕切り板などに絶縁性のものを使用したり、絶縁性の袋に入れて収納したりすることは避けてください。実装基板自体は絶縁体で作られていますので、保管・運搬中の振動や摩擦で基板自体が帯電することがあります。また、帯電物体が近くにあると基板の配線パターンに誘導帯電が発生し、測定や組立て時にコネクタ部分から放電してデバイスを破壊する危険性があります。

© 2018 Sony Semiconductor Solutions Corporation

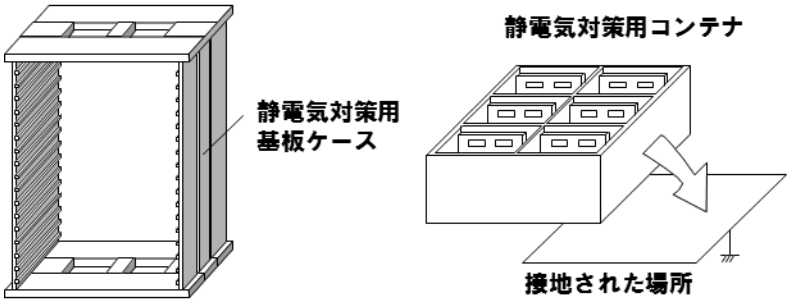



図 6-14　基板保管用コンテナの対策例

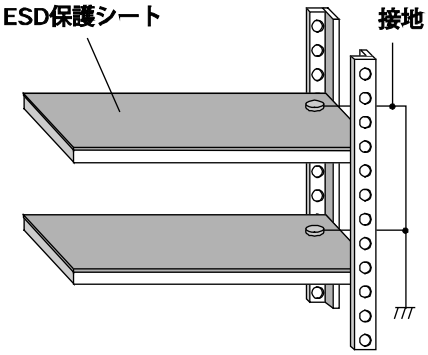



図 6-15　保管棚の対策例

(8)　デバイス以外の実装、組立て部品

半導体デバイス以外の基板実装部品には、保管や基板実装時に静電気に帯電しているものが数多く存在します。コンデンサ類やフィルタ、表示用 LCD 基板、フレキシブルコネクタ類など、金属と絶縁体で構成され静電気を蓄積することができる構造と容量を持つ実装部品類は、基板実装時に静電気放電を起こしてデバイスを破壊することがあります。

これらの部品を保管するパーツボックスや、納入時の梱包についても静電気対策の施されたものを使用する必要があります（図 6-16）。デバイス以外の実装部品でも、静電気が帯電している実装部品があることを認識し、これらの部品が基板実装時に静電気放電を起こさないような対策を取る必要があります。

© 2018 Sony Semiconductor Solutions Corporation

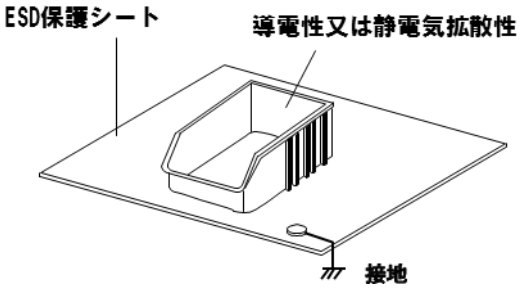



図 6-16　パーツボックスの対策例

(9)　モジュール、セット部品

光学ピックアップやカメラモジュールなど、半導体デバイスが搭載されたモジュール部品は、モジュール単体での取り扱いで ESD 破壊を起こす危険性があります。モジュールに実装した後でも、デバイスの端子が直接コネクタを介して外部に出ている場合は、デバイス単体と同じ取り扱いをしてください。

セットの組立工程内では、金属シャーシ、ケーブル類などの金属と絶縁体で構成されている部品や、表示用 LCD パネル・光学ディスクドライブ・光学ピックアップ・各種モジュールなど、すでに組み立てられた部品類が帯電してセット組立て時にコネクタを介して実装基板に放電し、半導体デバイスを破壊する危険性があります。セット組み立て時には、セット部品の帯電についても充分注意してください。

(10) イオナイザによる除電

イオナイザは、放電電極針の先端に高電圧を印加することでコロナ放電を発生させ、発生したイオンにより静電気を中和する除電装置で、接地することで帯電した電荷を逃がすことができない絶縁物の静電気を除去する方法として有効な手段です。絶縁物に帯電した電荷は、金属に帯電した電荷と違ってそれ自体がデバイスに放電して破壊する危険性はありませんが、デバイスや金属部品などに誘導帯電を発生させ静電気放電を起こす原因になります。デバイス近傍で絶縁物を使用する場合は、イオナイザにより絶縁体の表面に帯電した静電気を中和することが有効です。25)

イオナイザは、方式によって除電性能(除電時間)が大きく異なりますので、除電する対象や環境によって適切に除電できる仕様のイオナイザを選択して下さい。また、イオナイザのイオンバランスや除電性能は定期的に測定し、適切なメンテナンスを行って除電性能を維持してください。

© 2018 Sony Semiconductor Solutions Corporation

### (11) 服装

作業者は、できるだけ静電気が発生しにくい素材の服を着用することを心がけてください。静電気を発生しやすい素材(化学繊維等)の服は、動作にともなって人体に高い静電気を誘導させる危険性があります。

### (12) ESD 保護アイテムに要求される特性

主な ESD 保護アイテムに要求される特性は、表 6-5 に示す数値を参考にしてください。仕様書上の特性が要求基準を満足しているものについても、ESD 保護アイテムを導入する際には必ず実際の対策効果の確認を十分行った上でアイテムの選択を行ってください。

表 6-5　主な ESD 保護アイテムに要求される特性 26),27)

| ESD 保護アイテム | 抵抗値の範囲 | | 備考 |
|---|---|---|---|
| 床 | $Rg < 1\times 10^{9}\Omega$ | | |
| ESD 保護シート<br>（床、作業台表面、保管ラック） | 2 点間抵抗<br>EPA-グランド間抵抗 | $1\times10^{4} \leqq Rp \leqq 1\times10^{10}\Omega$<br>$7.5\times10^{5} \leqq Rg \leqq 1\times10^{9}\Omega$ | 注 1 |
| ESD 保護靴<br>（金属プレート上で着用時） | EPA-グランド間抵抗 | $1\times10^{5} \leqq Rg \leqq 1\times10^{8}\Omega$ | |
| リストストラップ（バンド） | 抵抗値 | $Rp \leqq 1\times10^{5}\Omega$ | |
| リストストラップ（コード） | 端子間抵抗値 | $7.5\times10^{5} \leqq Re \leqq 5\times10^{6}\Omega$ | |
| リストストラップ（着用時） | EPA-グランド間抵抗 | $7.5\times10^{5} \leqq Rg \leqq 3.5\times10^{7}\Omega$ | |
| 椅子 | EPA-グランド間抵抗 | $Rg \leqq 1\times10^{10}\Omega$ | |
| 衣類 | 2 点間抵抗 | $1\times10^{5} \leqq Rp \leqq 1\times10^{11}\Omega$ | |

注 1）EPA: ESD 保護領域（ESD Protected Area）

＜参考文献＞


1) 伊藤、足立,「電気機器部品の静電気対策」,電子技術 7 月号,p.17～P44,1987

2) “MIL-HDBK-263A MILITARY HANDBOOK,” 1991.2. 22, Electrostatic Discharge Control Handbook for Protection of Electrical and Electrostatic Parts

3) JEITA EIAJ ED-4701/304A, JEITA (2013)

4) “MIL-STD-883D Test Method 3015.7: Electrostatic Discharge Sensitivity Classification,” Military Standard for Test Methods and Procedures for Microelectronics

5) ANSI/ESDA/JEDEC JS-001-2017, (2017)

6) EIA/JESD 22-A115E, JEDEC, (2010)

7) JEITA EIAJ ED-4701/305C, JEITA, (2013)

8) ANSI/ESDA/JEDEC JS-002-2014


© 2018 Sony Semiconductor Solutions Corporation

9) “ESD-DS5.3-1996: Electrostatic Discharge Sensitivity Testing Charged Device Model (CDM),” Draft Standard for Electronic Discharge Association

10) B. A. Unger, “Electrostatic Discharge Failure of Semiconductor Devices,” 19th. IRPS Proc., (1981)

11) T. S. Speakman, “A Mode for Failure of Bipolar Silicon Integrated Circuit Subjected to Electrostatic Discharge,” 12th. IRPS Proc., (1974)

12) C. Wunsch, R. R. Bell, “Determination of Threshold Failure Levels of Semiconductors Diodes and Transistors due to Pulse Voltages,” IEEE NS-15 No. 6, p. 244, (1969)

13) 福田、大槻,「ICパッケージに帯電した静電気がICを破壊」,日経エレクトロニクス、p.179、1984

14) 植野、山崎他,「人体帯電によるデバイスの静電気障害に関する一考察」,第17回日科技連信頼性・保全性シンポジウム,p.47,1987

15) 田中他「人体の放電現象解明によるESD試験方法の問題」,RCJ第6回EOS/ESDシンポジウム,p.73,1996

16) 鈴木、上田,「過剰動電荷測定事例」,RCJ第6回EOS/ESDシンポジウム,p.85,1996

17) 瀬戸屋他,「デバイス帯電モデルとその試験方法に関する基礎検討」,RCJ第4回EOS/ESDシンポジウム,p.73,1994

18) 田中、岡田,「フィールドにおける帯電および放電現象からみたデバイス帯電モデルESD試験基準検討」,RCJ第5回EOS/ESDシンポジウム,p.57,1995

19) 和田「デバイス帯電系モデル静電破壊評価方法の検討」,RCJ第4回EOS/ESDシンポジウム,p.43,1994

20) 田中他,「変位電流をともなうLSIの静電気破壊現象」,RCJ第6回EOS/ESDシンポジウム,p.21,1993

21) 福田他,「MOS DEVICEの静電破壊評価法」,信学技報,R88-33,1983

22) 福田他,「デバイス帯電モデルによる半導体デバイスの静電気破壊試験方法の件など」,電子通信学会誌CMP-86-133,p.37,1997

23) 「半導体デバイスの静電気障害回避技術に関するガイドライン」,日本電子部品信頼性センター,1995

24) 「デバイスの静電気耐性試験規格化に関する調査研究成果報告書」,日本電子部品信頼性センター,1994

25) 「半導体デバイスなどの生産現場に使用するイオナイザ活用ガイド」,日本電子部品信頼性センター,1995

26) IEC 61340-5-1, “Part 5-1: Protection of electronic device from electrostatic phenomenon -Genneral requirements,” (2013)

27) RCJS-5-1:2016「静電気現象からの電子デバイスの保護　一般要求事項」

© 2018 Sony Semiconductor Solutions Corporation

## 6.2.3 EMC (Electromagnetic Compatibility：電磁的両立性)

### 6.2.3.1 EMC とは

半導体デバイスやシステム回路は、電磁環境によって、誤動作、機能低下に至る場合があります。外部機器からの影響と共に、機器内部の高速スイッチングを使用する電源回路やデジタル回路、プリント配線基板から発生するノイズ(雑音)が複合し様々な経路を介して放射され、これ等により半導体デバイスやシステム回路の動作に影響を与えるためです。最近では、高密度実装や高周波化が進み、アナログ／デジタル混在システムの進展と合間って、ますます複雑化しています。また、半導体デバイスに機能が集約されたり、モジュール化したりすることによって、半導体デバイスが個々の部品としてではなく、機能的には従来のセット製品に近くなり、半導体デバイス単体でコンプライアンス要求を満たす EMC 性能を求められる傾向になりつつあります。

これらの問題に対しては、ノイズ源の特定と伝搬経路の把握が重要であり、GND 強化や回路レイアウトパターンの最適化、半導体デバイスやセット回路への電磁シールドや電波吸収体の活用などによって適切に未然防止することが必要です。

EMC は国際規格として IEC(International Electrotechnical Commission)や CISPR(Comite international Special des Perturbations Radioelectriques)、日本では VCCI(Voluntary Control Council for Interference by information technology equipment)、またその他各国規格により法規制されています。

### 6.2.3.2 EMC/EMI/EMS について

電子機器から放出する電気的ノイズを抑え、かつ周囲からの電気的ノイズによって電子機器が誤動作などのトラブルを起こさないための性能を、電磁両立性(EMC：Electromagnetic Compatibility)と言います。

EMC において、エミッション(Emission)とは、電子機器や半導体デバイスを含む部品から放出される不要な電気的ノイズ(主として電磁波)を指します。それらから放出されたノイズは、空間を介して、あるいは電線路を伝搬して、他の電子機器や無線設備などの動作に影響を与えることがあります。このことを電磁障害(EMI：Electromagnetic Interference)と呼びます。電磁障害の発生を未然に防ぐため、全ての電子機器はエミッションのレベルが規格や指令に定められた限度値内になることが求められています。

EMC において、イミュニティ(Immunity)とは、電子機器や半導体デバイスを含む部品が電気的ストレス(電界、磁界、電圧、電流)に曝された際に耐えうる能力を指します。また、この性能は電磁感受性(EMS：Electromagnetic Susceptibility)とも呼ばれます。電子機器はその使用環境によって様々な電気的ストレスに曝されます。電気的ストレスには、電子機器や半導体デバイスを

© 2018 Sony Semiconductor Solutions Corporation

含む部品から発生するものに加え、無線通信や公共放送用の電波なども含まれます。また、雷や静電気などの自然現象による電気的ストレスも対象となります。エミッションと同様に、全ての電子機器は電磁障害の発生を未然に防ぐために求められるイミュニティを有していなければいけません。

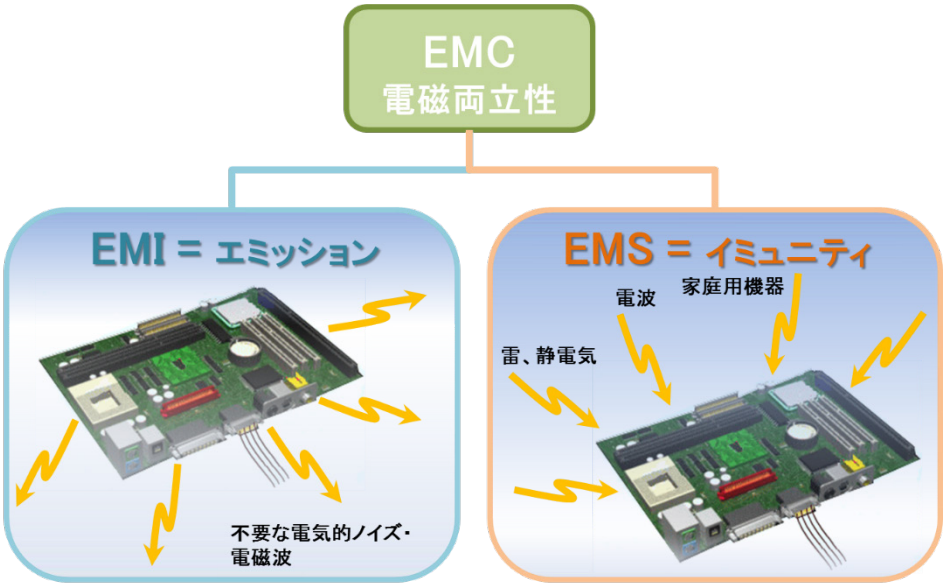



図 6-17　EMS/EMI/EMS のイメージ

### 6.2.3.3　半導体デバイス EMC 測定方法の標準化動向

#### 6.2.3.3.1　EMI

電子機器における EMI 測定方法は、各種の規格、指令に定められコンプライアンス項目として、標準化されているのに対し、半導体デバイス単体においては、昨今まで標準的な測定方法が存在していませんでした。この為、利用する電子機器に半導体デバイスを搭載し、機器全体の測定を行って半導体デバイスを含めた EMI 特性を評価せざるをえませんでした。しかし、①評価したい半導体デバイス以外にノイズ源が存在する場合、目的の半導体デバイスの寄与を定量化することが難しい、②異なる半導体デバイス間で比較する場合、各々の半導体デバイス用に機器の基板を用意する必要があり評価コストが嵩む、といった問題点があり広く用いられるには至っていません。

半導体デバイスの EMI 評価方法としては、国際規格として IEC から IEC61967 シリーズで標準化検討が進められてきており、2014 年に IEC/TS 61967-3-Ed.2.0(Surface scan method 法:磁界プローブ法)として具体化された測定方法が規格化された。

© 2018 Sony Semiconductor Solutions Corporation

#### 6.2.3.3.2　EMS

電子機器における EMS 測定方法は、主なものとして一般電子機器として IEC61000 シリーズ、医療電子機器として IEC 60601-1-2 で標準化されているのに対し、半導体デバイス単体においては、EMI と同様に昨今まで標準的な測定方法が存在していませんでした。しかし一部に IEC61000 シリーズが要求されることもありますが、本来は半導体デバイス単体測定方法としては適切な方法ではありません。

半導体デバイスの EMS 評価方法としては、IEC から IEC62132 シリーズと IEC62215 シリーズが検討されていますが、国際規格化されるには至っていません。

### 6.2.3.4　半導体デバイス EMC 測定方法の事例

#### 6.2.3.4.1　IEC/TS 61967-3-Ed.2.0 磁界プローブ法：EMI

この測定方法は、回路からのノイズ発生源をピンポイントで検出ことができる測定方法です。規格自体は～1GHz ですが、測定装置によってはそれ以上の周波数領域測定も可能です。当社での測定事例としては、1GHz 以上の信号を受信する GPS 使用製品や GPS モジュールに使われる半導体デバイスで、GPS 周波数に影響を与える帯域のノイズ源の特定に使用しています。

#### 6.2.3.4.2　SAE J1752-3 TEM セル法：EMI

この測定方法は、半導体デバイスからのノイズレベルを外来ノイズの影響を抑えて測定する方法です。AEC-Q100 の EMC 測定方法として採用されており、車載半導体の EMI 測定として測定データを要求されます。測定装置では、四角錐型の TEM セルを使用して、半導体デバイスのみを内側にセットすることで、半導体デバイスから放射されるノイズを正確に測定することが可能です。測定データは、周波数毎のノイズ強度が得られます。TEM セルでシールドされることにより、外来ノイズの影響をほとんど受けない代わりに、磁界プローブ法の様にノイズ発生個所の特定はできないというデメリットもあります。

© 2018 Sony Semiconductor Solutions Corporation

#### 6.2.3.4.3　IEC61000-4-2 人体モデル ESD：EMS

この測定方法は、半導体デバイス単体の EMS 耐性(イミュニティ)を測定する方法ではないが、半導体デバイス搭載機器の EMS 耐性を測定する方法として用いられる試験方法です。人体モデル ESD(Electrostatic Discharge)試験やシステムレベル ESD 試験としても認識されています。ESD 放電ガンによって機器に直接放電、間接放電させ、機器の誤動作発生有無によって合否判断します。規格によって試験台の材質、高さなども規定されており、再現性のよい試験結果を得るためには、試験環境を含めた環境の構築が必要になります。

#### 6.2.3.5　半導体に求められる EMC

半導体に求められるコンプライアンス試験としての EMC では、システムレベル ESD 試験の ESD ノイズに対し、誤動作しないことを確認するイミュニティ試験として、セットに組込まれた状態で IEC61000 シリーズ試験、車載用途半導体デバイスに対しては、AEC-Q100 要求によりエミッション試験として TEM セル法の SAEJ1752-3 試験が要求されています。

### 6.2.4　強電界・強磁界

一般に外部からの強電磁界によって直接デバイスが破壊に至ることはほとんどありませんが、デバイスを強磁界にさらした場合、パッケージのプラスチック材料や IC チップ内部での分極現象により、インピーダンス変化やリーク電流増加などの異常現象がおきる場合があります。

特に電子スピン現象等を応用したデバイスではより注意が必要です。

また、デバイス近傍に電源や高電圧を発生させる部分がある場合には電源ラインやグランドラインを通じた大きなノイズにより回路が誤動作をしたり、逆に IC がノイズを発生したりする場合もあります。

これら外部からの電磁妨害による回路の機能障害を防止するためには、プリント基板上の回路レイアウトパターン、部品配置などを最適化するとともに、シールド線を使います。さらに、場合により実装場所の変更、電界／磁界シールドを施すなどのセット設計上の配慮が必要となります。

### 6.2.5　過電圧破壊（EOS 破壊）

静電気以外の過電圧、過電流により破壊する故障モードを、過電圧破壊または EOS（Electric Over Stress）破壊と呼んでいます。過電圧ストレスの原因となるものにはさまざまなものがありますが、一般的にはサージと総称されるパルス状の過電圧ストレスが印加されることにより、デバイスの焼損破壊が発生する例が多くみられます。サージの原因となるものは、装置の電源

© 2018 Sony Semiconductor Solutions Corporation

ON/OFF やリレーの切り替えによる容量性負荷からの電荷放出、落雷による雷サージなどがあります。

サージによる過電圧破壊メカニズムは、印加されるサージの種類によって異なりますが、デバイスの電源や入出力端子に定格を超える電圧が印加されると、デバイス内部で接合のブレークダウンや寄生トランジスタがオン状態になる現象が生じます。この時、過電流が流れてメタル配線やトランジスタの接合で消費されるエネルギーが配線や接合の耐量を超えると、配線の溶断や接合の熱破壊が発生します。

過電圧破壊に対する対策は、基板上の電源や入出力端子に電圧クランプ用ダイオードやコンデンサを挿入して基板内部へのサージの侵入を阻止するために、工程内での基板調整などに用いる測定器などのノイズ対策を行うことが必要になります。

### 6.2.6　高周波デバイスの取り扱い

半導体デバイスが高機能化、高性能化するにつれ、その構造はますます微細化、高密度化し、酸化膜、配線層は薄くなり、本質的に静電気耐性は低下してきています。

静電気耐性を上げるため、一般的にはデバイスの入出力端子に静電気保護回路を入れるなどの対策を講じていますが、一方でそのために特性劣化を招く欠点もあります。

特に高周波・高速デバイスでは、要求される性能を満足させるために、一部の端子に十分な静電気対策が施せない場合があります。例として高速伝送インターフェースである LVDS、MIPI 等の入出力端子では高耐性かつ低容量の ESD 保護素子が必要ですが、性能と耐性を高次元で両立する ESD 保護は課題となっています。

そのため特にデバイスの保管、運搬などから、セットへの実装、検査などの作業環境および作業上での取り扱いにおいて十分な対策を取ることが必要です。

### 6.2.7　ラッチアップ

ラッチアップ現象は、外部から侵入する静電気やノイズなどの過電圧、電流ストレスなどが CMOS デバイスの寄生サイリスタのトリガとなって電源－GND 間が短絡した状態になる現象です。

ラッチアップは、動作状態（電源電圧が印加された状態）で発生する現象ですが、デバイスの定格を超える電圧ストレスが印加されない限り、通常の使用電圧範囲内でラッチアップが発生する危険性はほとんどありません。電子機器の使用中に、偶発的にラッチアップが発生する原因の多くは、半導体を組み込んだ製品に定格を超えるストレスが侵入するか、動作中にそのような状態が発生したものと考えられます。ラッチアップが発生する原因として考えられるものには、以下のようなものがあります。

© 2018 Sony Semiconductor Solutions Corporation

(1) 外部からの静電気の侵入

基板に実装された動作状態のデバイスに静電気が侵入すると、放電電流は入出力端子の保護素子を通って、電源または GND 配線に流れ込みます。人体からの放電を考えた場合、数 kV の静電気放電で流れる電流のピーク値は、数 A～数十 A に達し、この電流が基板の電源・GND 配線に流れると、電源や GND の電位変動が数 V に達し、デバイスの定格を超えてしまうことがあります。この電圧変動が、デバイスの動作中に発生すると、デバイス内部では接合のブレークダウンが生じてラッチアップを引き起こすことがあります。

近年普及が目覚しい携帯型電子機器（携帯電話、カムコーダ、ノートパソコン、携帯情報端末、デジタルカメラなど）のように、直接人が触れる機会が多い電子機器では、筐体自体が接地されていないために人体からの静電気放電による電源電圧変動の影響を受けやすく、ラッチアップが発生する危険性が高くなります。

(2) 雷サージの侵入

通信系設備や電力供給設備に使用される機器に使われる半導体デバイスでは、落雷によって通信ケーブルや送電線を経由して侵入するサージによりラッチアップが発生する危険性があります。また、家庭電器製品でも電柱や送電ケーブル、電話線などを伝って雷サージが侵入してラッチアップを起こす可能性があります。

(3) 電磁ノイズ（EMS: Electromagnetic Susceptibility）

電子機器の周辺に電磁ノイズの発生源（車のエンジン、ブラウン管、静電気放電）がある場合、電磁界の急激な変化によって誘導されたノイズがラッチアップを引き起こす場合があります。

(4) 活線挿抜

稼動しているシステムの保守・修繕を行う際、システムが動作している状態で基板を差す時に、コネクタの繋ぎ方によっては基板の電源が供給される前に入出力端子に先に電圧が印加されることが考えられます。このとき、一時的に入出力端子の電位が電源電圧より高くなる状態が発生し、端子から電流が流入してラッチアップが発生することがあります。

(5) 多電源デバイスの電源電圧印加順序

異なる電源を複数備えるデバイスでは、電源電圧の印加順によって特定端子の電位が電源電圧より上昇し、ラッチアップが発生する場合があります。複数電源を使用するデバイスでは、デバイスに印加される電源の順番に注意する必要があります。

このように、外部要因により発生するラッチアップに対しては、それぞれのトリガとなるサージやノイズの侵入を防ぐ対策を取ることにより、ラッチアップの発生を抑えることがで

© 2018 Sony Semiconductor Solutions Corporation

きます。直接端子に侵入する静電気やサージに対しては、侵入経路となる基板の入口にサージ対策用のダイオードやコンデンサなどを挿入すること、基板の電源・GND 配線パターンを電位変動やノイズの影響を受けにくいパターンにすることが有効になります。また、電源やGND 配線のインピーダンスを下げ、急激な電流による電位変動を抑える、外部からサージが侵入しやすい回路ブロックの電源・GND 配線を他の回路と分離するなどの対策が有効になります。電源印加順については、コンデンサの挿入などにより、立ち上がりタイミングを遅らせるなどの対策があります。

電磁ノイズに対しては、電子機器の内部に電磁波が侵入しないようなシールド対策を行い、電磁界による誘導の影響を受けにくい配線パターンにすることが必要となります。機器の内部に電磁ノイズの発生源がある場合は、ノイズ発生源への対策や、電源・GND 配線分離するなどの対策が必要です。

### 6.2.8　熱暴走

熱暴走は、IC 内部回路の温度特性によるパワー増加の正帰還により温度が限りなく上昇し破壊に至るもので、実装後の破壊の多くは熱暴走によるものと考えられます。デバイスの局所的発熱により熱暴走する場合のほかに、パワーデバイスの場合は放熱の構造に依存して熱暴走が発生する可能性もありますので、放熱設計は特に注意して行う必要があります。

© 2018 Sony Semiconductor Solutions Corporation

# 6.3 機械的破壊に対する取り扱い上の注意

デバイスは丁寧に取り扱ってください。デバイスの落下、衝撃はデバイスを破壊させる可能性があり、できるだけ機械的振動や衝撃を与えないようにしてください。

デバイスはチップ、ボンディングワイヤ、外部端子、放熱用フィン、モールド樹脂などにより構成されており、各々の構成材料は機械的強度、熱膨張係数などが異なるために外部端子の成形、切断、プリント基板への取り付け、洗浄、放熱板の取り付けなどのあらゆる場合で機械的に破壊することがあります。

これらの機械的外力によりパッケージまたはチップのクラックが発生するなど、モールド樹脂と外部端子との界面での剥離による耐湿性の劣化を引き起こします。

## 6.3.1 外部リードの成形・切断について

半導体デバイスをプリント基板に実装する際に、あらかじめ外部リードを成形、もしくは切断して使用する時は、外部リードに無理な力を加えないようにしてください。（図 6-18）

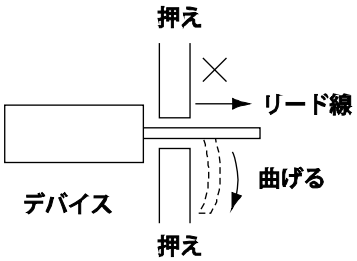



図 6-18　外部リード成形、切断の注意点

(1) 外部リードを折り曲げる際には、外部リードを曲げる点とパッケージ本体の間の外部リードを固定し、パッケージ本体を持って曲げないでください。
金型を使用する際にも、パッケージ本体にストレスが加わらないようにしてください。
切断する際にも同様に、パッケージ本体にストレスが加わらないようにしてください。

(2) 外部リードの折り曲げは繰り返さないでください。

(3) 外部リードをその厚手方向に曲げないでください。

(4) 外部リードの曲げ方によっては、外部リードのメッキに損傷を与えることがありますので、注意してください。

© 2018 Sony Semiconductor Solutions Corporation

### 6.3.2　プリント基板への取り付けについて

半導体デバイスをプリント基板へ取り付ける際には、外部リードに無理なストレスが加わらないように注意する必要があり、外部リードに曲がりや浮きがあるとプリント板との良好なはんだ接続が得られず、実装不良となることがあります。（図 6-19）

(1) プリント基板の外部リード取り付け間隔は、デバイスの外部リード間隔と一致させてください。
(2) プリント基板にデバイスを挿入する際には、強制的に挿入することはさけてください。
(3) 半導体デバイスとプリント基板の間は適切な間隔をあけてください。
(4) 表面実装タイプのデバイスをプリント基板へ実装する際に、外部リードの変形、浮きがあるとプリント基板との良好なはんだ接続が得られず実装不良となることがあるので、外部リードを変形させないように十分注意する必要があります。
(5) 実装用ソケットを用いてのプリント基板への半導体デバイスの実装は、それぞれのパッケージに適合したソケットを使用してください。

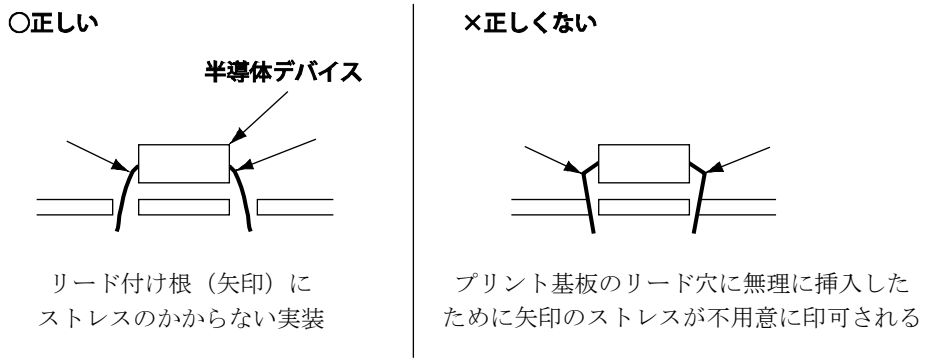



図 6-19　プリント基板取り付け時の注意点

### 6.3.3　洗浄方法

はんだ付け後のフラックスは原則的に除去する必要があります。フラックス残渣は、部品やプリント基板配線やはんだ接続部の信頼性に影響を与える可能性があります。

(1) 超音波洗浄は短時間で洗浄効果の高い方法ですが、デバイスの破壊を防止するために、以下の注意が必要です。
　① 適正な印加周波数、出力、洗浄時間を設定してください。
　② デバイスやプリント基板同士がたがいに、および超音波洗浄器筐体に直接接触しないようにしてください。

© 2018 Sony Semiconductor Solutions Corporation

(2) 洗浄中または洗浄液がデバイスに付着した状態でマーク面をこすらないようにしてください。

マークが消える場合があります。また、長時間洗浄を行うことでマークが消える場合がありますので、注意が必要です。

(3) 溶剤を使用する際も、水洗浄の際にも、ナトリウム、塩素などの反応性イオンの残留がないように洗浄してください。また、乾燥は充分に行ってください。

(4) 溶剤の使用にあたっては、公的環境基準、安全基準などを考慮した上で使用してください。

### 6.3.4 放熱板の取り付けについて

デバイスに放熱板を取り付ける際には、次の点に注意してください。

(1) デバイスに過大なストレスが加わらないように適切な取り付け方法を用いてください。

(2) 放熱板はバリや凹凸がないように平坦度について注意してください。

放熱板が不適切である場合には、充分に放熱効果が得られないなど、無理な取り付けによりデバイスの特性劣化や機械的破壊の恐れがあります。

(3) 放熱板の取り付け部が 2 個所以上の場合には、すべての取り付け部を軽く予備締めした後に規定のトルクで締め付けてください。

(4) プリント基板に半導体デバイスを実装してから半導体デバイスに放熱板を取り付けないでください。プリント基板への半導体デバイスの実装状態によっては、過大なストレスが半導体デバイスに加わることがあります。半導体デバイスを放熱板に取り付けた後にプリント基板へ実装してください。

(5) 一般的に放熱板と半導体デバイスとの間にシリコングリスを塗布することで熱伝導がよくなりますが、この場合には薄く均一に塗布してください。

© 2018 Sony Semiconductor Solutions Corporation

# 6.4 熱的破壊に対する取り扱い上の注意

半導体デバイスはシリコンチップ、プラスチック封止材、銅などの金属リードフレームなど、熱的性質が全く異なる物質を組み合わせた構造になっています。特に構成材料であるプラスチックがはんだ付け時など高温にさらされた場合に、蓄積された水分が急激に水蒸気化しパッケージクラックを引き起こします。繰り返しの熱ストレスによる構成材料間の接着部分の剥がれ、導体部の断線などの不具合の原因は以下のとおりです。

(1) 高温での機械的強度が著しく低下する。

(2) 空気中から吸湿し、水分を蓄積する。

ここでは、このようなデバイスの熱的破壊を防ぐため、特に製品の取り付けについて全般的な注意事項を述べます。

## 6.4.1 はんだ付けについて

**(1) はんだ付け時の注意事項**

半導体デバイスは一般に高温状態に長時間放置することは好ましくありません。

はんだ付けの場合も、手はんだ、リフロー法のいずれの方法においても、はんだ付け温度が高く、時間が長いと、デバイスの温度が上昇し、劣化あるいは破壊の原因となる場合がありますので、できるだけ低い温度で、短時間で行ってください。

**(2) 挿入型パッケージをウェーブソルダ槽にてはんだ付けする場合**

この方法は、噴流はんだ槽の液面にパッケージリードピンのはんだ付け部を浸漬して行いますが、噴流はんだがパッケージ本体に触れるとパッケージ破損の原因となりますので、パッケージ本体には直接はんだが接触しないように注意してください。

またウェーブソルダ槽使用においては、基板の裏面がはんだの熱により加熱されるため、表面との温度差により基板に反りが発生します。

このように基板が反った状態ではんだ付けを行うと、はんだ槽から取り出した時点で基板が元の状態に戻ろうとするため、リードおよびパッケージに過度の応力がかかり、はんだ接続部のクラック、リードおよびパッケージの破壊につながる恐れがあります。

このため、ウェーブソルダ槽を使用する場合は、基板の反りが発生しないようにしてはんだ付けを行ってください。

© 2018 Sony Semiconductor Solutions Corporation

### 6.4.2　表面実装デバイス（SMD）の取り付け上の注意点

SMD の基板実装方法としては、赤外線リフロー、エアーリフロー、あるいはベーパフェーズリフローなど、パッケージ全体が加熱されるはんだ付け法が多く用いられています。

従来の挿入実装形デバイスでは、外部リード端子のみの加熱であったのに対し、表面実装型ではパッケージ全体が急激に高温にさらされてしまうので、信頼性上の問題としてモールド樹脂のクラック発生や耐湿性劣化の問題を考慮しておく必要があります。

また、SMD は高密度実装のために外部リードの端子が短く、間隔が狭い上、端子数も多いことから、SMD の取り扱いには十分注意する必要があります。

ここでは、SMD 実装時における製品の取り付けについて全般的な注意事項を述べます。

**(1)　実装時の注意**

通常の環境で長期保存された場合や湿度の高い環境で保管されたことによって、モールド樹脂が吸湿した状態で赤外線リフローなどの全体加熱法ではんだ付けをすると、モールド樹脂にクラックが発生したりチップ界面での剥離が発生したりする場合があります。

実装時には、“6.1.2　パッケージクラックに関する注意事項”を参照ください。

**(2)　外部リード端子の変形**

外部リードの端子に曲がりや浮きがあると基板とのはんだ接続が得られず、実装不良となる場合があります。特に外部リード平坦性については、実装時に端子を浮かすことがないよう十分注意してください。

また、SMD の実装時には外部リード端子のみを厳しく管理しても基板側が十分管理されていなければ、良好なはんだ接続が得られないことがあります。基板の反り、クリームはんだの膜厚や均一性などについても十分注意してください。

**(3)　テーピング品の取り扱い**

テーピングされた SMD について、トップカバーテープをキャリアテープから剥がす際に静電気が発生し、SMD に帯電することがあります。この帯電電圧はトップカバーテープを剥がす速度が速いほど高くなります。静電破壊防止のため高速の剥離、摩擦はできるだけ避けてください。

**(4)　その他の注意事項**

SMD などのデバイスを基板に実装後樹脂コーティングする場合、コーティング樹脂によっては水分の吸収によるリーク電流の増加やコーティング樹脂の応力によるデバイス樹脂部の機械的ストレスの影響も考えられるため、コーティング材の選定には塗布後の信頼性を十分に確認する必要があります。

© 2018 Sony Semiconductor Solutions Corporation

# 6.5 製品仕様・梱包・運搬・保管上の注意事項

## 6.5.1 製品仕様

### 6.5.1.1 半導体製品採用にあたってのご注意

当社は品質・信頼性の向上に努めていますが、一般に半導体製品はその性質上、ある確率で誤動作・故障することがあります。当社半導体製品をご使用頂く場合は、このような故障が生じましても、生命、身体、財産に危害を生じさせないように、お客様の責任において、装置やシステム上での十分な安全設計をお願いします。

なお、設計に際しては、最新の製品仕様書をご確認の上、製品保証範囲内でご使用をお願いします。

カタログに記載し、販売している半導体製品は、一般電子機器（家電製品、通信機、計測機、事務機器など）に使用されることを前提にしています。特別な品質・信頼性が要求される用途、その製品の故障や誤動作が直接人命を脅かしたり、身体または財産に危害をおよぼしたりする恐れのある装置やシステム（自動車・交通機器、生命維持装置を含む医療機器・安全装置、航空・宇宙機器、原子力制御機器など）に使用を予定のお客様は、必ず事前に当社営業窓口まで相談願います。 高信頼度を要求される製品は特別な配慮、選別が必要になります。

### 6.5.1.2 絶対最大定格

半導体デバイスの破壊限界は[絶対最大定格] で規定しており、JIS C 7032 によれば絶対最大定格は［瞬時たりとも超過してはならない限界値で、また 2 項目以上規格値が定められているとき、どの 2 つの項目も同時に達してはならない限界値］と規定されています。最大定格値を一時的にでも超えると劣化または破壊に至るものであり、たとえその後しばらく動作したとしても、その寿命を極度に縮めることになります。

したがって、半導体デバイスを用いる電子回路の設計にあたっては、使用中の外部条件の変動を含めて、そのデバイスの絶対最大定格を越えないよう配慮しなければなりません。

絶対最大定格はデバイスごとに異なる限界値ですので、同一ファミリーの製品であっても製品ごとの仕様書をご確認の上で、ご使用下さい。

© 2018 Sony Semiconductor Solutions Corporation

表 6-6　絶対最大定格で規定される項目例

| 項目 | 条件 | 絶対最大定格値 | 内容 |
|---|---|---|---|
| 電源電圧<br>($V_{DD}$)<br>($V_{CC}$) | 温度など | 電圧値 | 電源端子と接地端子の間に印加できる最大電圧。<br>1.　デバイスの内部素子の耐圧に関係があり、この電圧を越えると、破壊に至る可能性があります。<br>2.　CMOS デバイスの場合には、ラッチアップやホットキャリアの多量注入により、破壊する可能性があります。 |
| 入力、出力電圧<br>($V_{IN}$)<br>($V_{OUT}$) | 温度など | 電圧値 | 入力、出力端子と接地端子の間に印加できる最大電圧。<br>一般的には電源電圧よりも大きくはできません。<br>1.　入力、出力端子に寄生的に構成されている素子が耐圧的に破壊する可能性があります。<br>2.　入力、出力端子がトリガによるラッチアップの発生により破壊する可能性があります。 |
| 許容損失<br>($P_D$) | 温度など | 損失電力値 | デバイス内部で許容できる最大消費電力。<br>1.　IC 内部が動作時の発熱により破壊する可能性があります。<br>2.　IC の集積度、パッケージの放熱特性により異なります。 |
| 保存温度<br>(Tstg) | | 下限、上限温度 | 保存時における周囲温度の許容範囲。<br>1.　パッケージの材質、半導体の本質的な性質により制限されます。 |
| 接合部温度<br>(Tj) | | | 連続的に動作できる接合部温度の最高許容値。 |

注）絶対最大定格値は各デバイスの個別仕様により規定しています。

© 2018 Sony Semiconductor Solutions Corporation

図 6-20 にデバイスの各種保証領域の関係を示します。

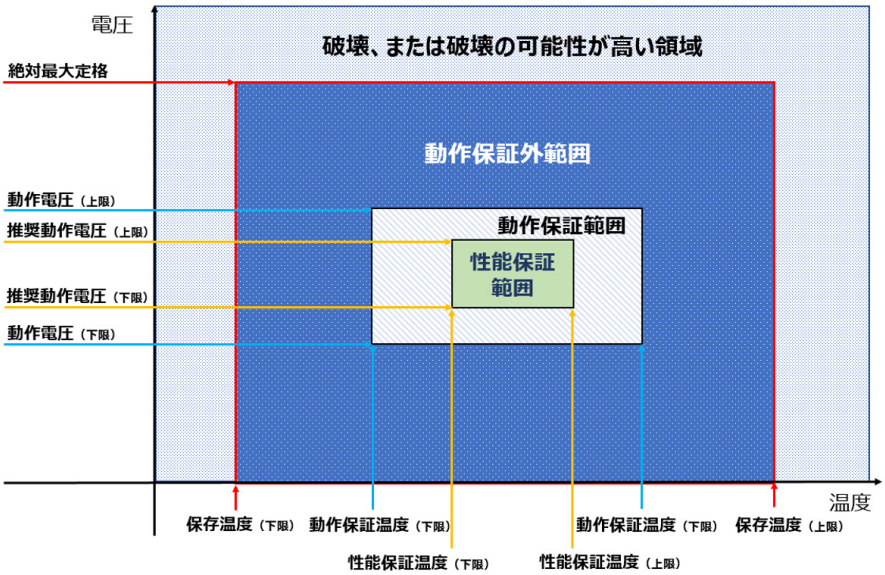



図 6-20　各種保証領域の関係

### 6.5.1.3　動作保証範囲

動作保証範囲は、製品仕様書に記載されている動作・機能が実現可能な環境条件です。性能保証（特性保証）範囲が個別に定義されているデバイスでは一部の電気的、光学的性能が発揮できない場合があります。

また絶対最大定格を超えない場合でも、動作保証範囲外で使用した場合には、デバイスの動作・機能、および性能（特性）仕様を満足できないことに加え、信頼性の低下につながることがあるため、システム設計に際しては十分に配慮してください。

### 6.5.1.4　推奨動作条件

製品仕様書において特に性能保証温度が定められていない製品が、全ての特性項目を満足しうる環境（温度、電圧、周波数など）領域を推奨動作条件と呼んでいます。

### 6.5.1.5　性能保証（特性保証）範囲

当社の製品には、仕様書に定められた（画質・音質・感度・雑音など）全ての項目を満たす環境領域（性能保証温度や性能保証電圧など）を個別に定めている製品があります。

このような製品は、全ての環境項目が満たされた場合にのみ、仕様書にうたわれる全ての性能が満たされることになります。

© 2018 Sony Semiconductor Solutions Corporation

#### 6.5.1.6　ディレーティングについて

従来、ディレーティングは電源電圧を動作電圧規格下限（正電圧の場合）で動作するようにセット設計で配慮することを指す場合が多くありました。現在は内部にレギュレータが内蔵され、内部回路が供給電圧の影響を受けないデバイスや、高性能画像処理エンジンのロジックコアなど使用電源電圧範囲が狭く、かつ厳しく規定されているデバイスは規定値で使用しなければ周辺デバイスとの信号タイミングマージンが減少する場合があります。

このように電圧下限値での使用が好ましくないデバイスでも適切な放熱（排熱）設計を行いデバイスの動作温度を下げることで寿命を延ばすことが可能です。

※ 放熱（排熱）対策は、推奨動作条件の下限温度を下回ってはなりません。

適切な放熱（排熱）設計は最も安全なディレーティングと言えます。

### 6.5.2　梱包・運搬・保管上の注意事項

半導体デバイス（以下デバイスと記す）は、高品質・高信頼性を保っておりますが、取扱いや運搬・保管・使用方法などにより、デバイスの破壊や劣化につながることがあります。デバイスの破壊につながる要因としては、取り扱い上の静電気破壊・パッケージの吸湿による実装時のパッケージクラック・衝撃による機械的破壊・足曲がりなどがあります。以下に注意すべき項目を述べます。

#### 6.5.2.1　梱包上の注意

デバイスはパッケージ外形や実装形態に合わせ、主に次の 3 つの収納ケースによる梱包形態を使用しております。

(1) トレイ　(2) マガジン　(3) エンボステーピング

これらの梱包形態で使用している梱包部材は、デバイスの品質を保つために、それぞれの品質に適した構造や材質を使用しております。

以下にそれぞれの梱包形態における注意事項を述べます。

**(1)　トレイ梱包**

トレイには耐熱仕様と常温仕様のものがあります。耐熱仕様のトレイには「HEAT PROOF」や「135℃ MAX」のような耐熱温度の表示があります。デバイスをベーキング（高温乾燥）する際はデバイスのベーキング条件に従い、トレイの耐熱温度の範囲内（「HEAT PROOF」表示トレイは 125℃MAX）で処置してください。

なお常温仕様のトレイはベーキングできませんので、常温仕様のトレイに搭載されている

© 2018 Sony Semiconductor Solutions Corporation

デバイスをベーキングする際は耐熱仕様のトレイへ移し替えて処置してください。デバイスをトレイから移し替えする際には、静電破壊が発生しないように静電対策を施したうえで処置してください。また電極端子の変形を防ぐために、電極端子をトレイにぶつけたりトレイに押し付けたりしないようにご注意ください。

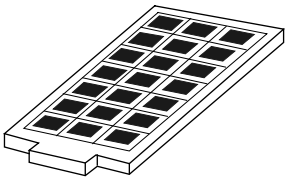


図 6-21　トレイ

(2)　マガジン梱包

マガジンの表面には水溶性の帯電防止剤が塗布されております。そのため水濡れや高温多湿の場所で保管したり、デバイスを何度も滑らせたりすることにより帯電防止効果がなくなりますのでご注意ください。

またマガジンは耐熱仕様となっておりませんので、ベーキングをする際は金属製のマガジンなど耐熱性のある収納ケースに移し替えてください。その際リード変形が生じないように注意し、静電破壊が発生しないように静電対策を行ってください。

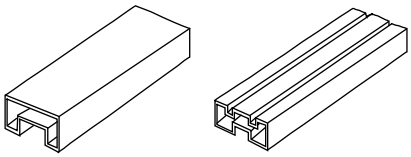


図 6-22　導電性マガジン

(3)　エンボステーピング梱包

テーピングは耐熱仕様となっておりませんので、デバイスをベーキングする際は耐熱性のある収納ケースに移し替えてください。

移し替えの際はデバイスの電極端子の変形や静電破壊が発生しないように注意して処置してください。

またテーピングの剥離強度は保管環境の温湿度により影響を受けますので、実装機にかける際はご注意願います。

なお剥離強度の測定方法は「JIS C 0806-3：1999」に従っております。

© 2018 Sony Semiconductor Solutions Corporation

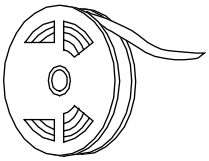


図 6-23　テーピング

#### 6.5.2.2　運搬上の注意

トレイ、マガジン、エンボステーピングに納められたデバイスは、輸送時の外部からの衝撃、保管時の雨水、外気からの汚染などによる影響を避けるため当社指定の梱包箱に収納し、出荷しております。

運搬時の荷扱いが悪く強い衝撃が加わると、デバイスのリード曲がりや破損が発生し、実装時の不具合となることがあります。

また、防湿梱包として使用しているアルミラミネート袋に破れが発生することにもつながります。アルミラミネート袋が破れることによりデバイスが水分吸湿しデバイスの品質に影響を与える問題が発生する恐れがあります。

そのため運搬の際は次の点に注意してください。

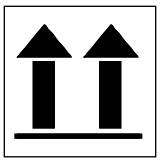
(1)　デバイスに与える衝撃や振動・湿気などを最小限に抑えるようにしておりますが、過度な衝撃や振動を与えるとデバイスが破損しますので衝撃や機械的振動が少なくなるように、取扱いにご注意ください。

(2)　直射日光を避け結露が発生しないようにご注意ください。

(3)　荷受時に梱包箱に損傷があった際は、開梱せずに当社へご連絡ください。

(4)　梱包箱には必要に応じて注意事項であるケアマークを表示しております。指示に従い保管・運搬をしてください。以下にケアマークの表示例を記します。

**静電気取り扱い注意**



**天地無用**

**ワレモノ注意**

**水漏れ注意**

図 6-24　梱包箱表示の例

● ワレモノ注意

荷扱いの際に投げたり落としたりすると、梱包材の破損さらにはデバイスが破壊されることがあります。取扱いにご注意ください。

© 2018 Sony Semiconductor Solutions Corporation

● **天地無用**

運搬時は梱包箱表示の正しい向きに置きます。逆さにしたり立てかけたりすると製品に不自然な力が加わり、壊れることがあります。

● **水濡れ注意**

ダンボール箱は含水すると強度が極端に下がります。このため水に濡れないようにする必要があります。降雨、降雪時の運搬時にはダンボール箱を濡らさないようにご注意ください。

● **静電気取り扱い注意**

運搬時の注意事項とは異なりますが、セット実装時の注意事項として記載してあります。

#### 6.5.2.3　保管上の注意

デバイスを保管する場合は、保管環境が品質に影響しますので以下の項目に従い管理してください。

**(1)　保管環境**

常温常湿［温度（5～35℃）、湿度（30%～75%）］の雰囲気下を目安とした室内保管としてください。

**(2)　保管期限**

上記保管環境のもとで梱包形態によって、次の保管期限となります。

トレイ梱包品　　：納入日より１年間

マガジン梱包品　：納入日より１年間

テーピング梱包品：納入日より１年間

保管期限は、デバイスのはんだ付け性の悪化、水溶性の帯電防止効果の劣化、テーピング梱包品の剥離強度が不安定となることなどから、それぞれ１年間の保管期限となります。

**(3)　雰囲気**

直射日光が当たる場所、腐食性ガスを発生する場所や塵埃の多いところに保管しないでください。

・ 直射日光が当たると収納ケース（マガジンや非耐熱トレイなど）が変形する場合があります。

・ 腐食性ガスによりデバイスの外部リード端子が腐食しはんだ付け性が悪くなります。

**(4)　温度変化**

急激な温度変化のある所では梱包済み製品に水分の結露が起こります。結露を避けるために、できるだけ温度変化のない場所で保管してください。

© 2018 Sony Semiconductor Solutions Corporation

(5) デバイスに荷重がかからないように、梱包箱の積み重ね、重い物を上に乗せることは極力さけてください。

(6) 放射線、強磁界、静電気にさらされない場所で保管してください。

(7) デバイスを長期保管する場合は、防湿梱包や梱包部材を変更して対応する必要があります。

長期保管されたデバイスは端子のはんだ付け性が悪くなったり、錆が発生したり、あるいは電気的特性が不良になったりする恐れもあります。あらかじめ長期保管が予想される場合は当社へご連絡ください。

(8) 防湿梱包製品

防湿梱包は吸湿による品質への影響があるデバイスについて、保管中の吸湿を防ぐ目的でアルミラミネート袋に、デバイス、乾燥剤、湿度インジケータを入れ、脱気・熱シールを行い外気と遮断し、湿度の浸入を防止しております。

防湿梱包内に湿度が浸入した場合、デバイスが水分を吸収する可能性があります。水分を吸湿した状態で実装時のはんだ付け工程などのような高温雰囲気にさらされることにより、パッケージクラックなどの品質問題となる場合があります。そのような品質への影響を防ぐために防湿梱包を実施しております。

なお防湿梱包開封後からデバイスは水分を吸収し始めますので、デバイスの実装レベルの指示に従い、指定期間以内に使用するように管理してください。

実装レベルの指定期間を超えた場合、再ベーキングが必要となります。デバイスごとのベーキング時間は当社にお問合せください。

また、同梱されている湿度インジケータは、防湿梱包内の湿度状態を簡易的に示すものです。防湿梱包開封直後に表示湿度が 30%を越えている場合は、不具合が発生している可能性がありますので当社へご連絡ください。

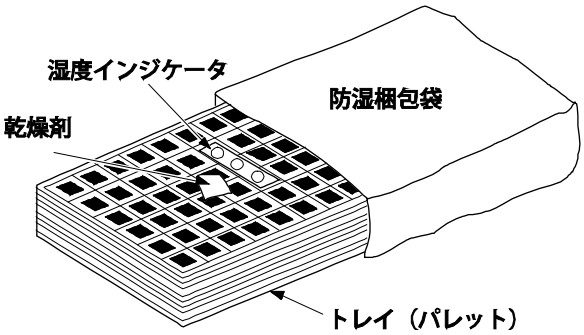



図 6-25　防湿梱包の例

© 2018 Sony Semiconductor Solutions Corporation

## 6.6 サーマルマネジメントについて

この章では実際のデバイスサーマルマネジメントについて記載します。本書（6.5 章　ディレーティングについて）でもデバイス（厳密にはチップ）温度を下げてご使用いただくことは信頼性の観点からも非常に重要であることを述べています。（但し、温度最下点は仕様書の保証範囲以上）

低消費電力素子の開発が進む一方で CSP などのパッケージ小型化や回路規模の肥大化、積層型 CMOS イメージセンサーをはじめとする 3 次元的な高集積化など単位面積あたりの電力密度の増加も無視できません。このような背景のもと年々、サーマルマネジメントの重要性は高まっています。

基本的にデバイスのサーマルマネジメントは熱伝導、対流、輻射によって行われます。

イメージセンサーのような光学デバイスには受光部が存在するためシステム LSI のように上部にヒートシンクなどの冷却機構を搭載することができませんし、ファンなどを用いた強制対流も受光部へのダスト付着防止が難しく、一般的な LSI パッケージと比べて放熱対策が難しくなります。

内部構造的にもイメージセンサーパッケージは中空構造で、チップと受光部ガラス間に熱伝導率の低い空気層が存在し、かつチップとガラスの距離が近くパッケージ内部での対流が起きにくく、ガラス面側に熱が移動しにくい構造と言えます。

よって、イメージセンサーパッケージの主な放熱手段はパッケージ下面電極から実装基板へ排熱させることになります。

特に高感度イメージセンサーでは熱的影響が画質に現れることがありますので、温度対策に関しても適切なご配慮をいただく必要があります。

また、サーマルマネジメントはイメージセンサーの排熱のみを考慮するのではなく、周辺部品からイメージセンサーへの加熱も考慮しなければなりません。周辺部品からのイメージセンサーへの部分的な加熱は画質のムラ等を発生させる場合があります。

© 2018 Sony Semiconductor Solutions Corporation

## 6.6.1　放熱のメカニズム

前述のように、熱の伝わり方は熱伝導、対流、輻射の 3 つの熱輸送様式に分類されます。

次にそれぞれの特徴を説明します。

### 6.6.1.1　熱伝導

最初にあげる熱伝導は、温度勾配が存在する場合に、高温側から低温側へ物質を介して熱が移動する様式です。チップで発生した熱は、パッケージのインターポーザ基板を通し外部に熱拡散され、はんだ接合部を介して実装基板へと熱が伝わります。

熱伝導はパッケージの放熱方法として支配的な熱輸送方式ですが、実装基板のサイズや厚み、層数、配線パターンなどにより大きな影響を受けます。

一般的に基板サイズが大きく、厚いほど放熱性に優れます。実装基板の配線層は通常、熱伝導率の高い銅が用いられるので、層数が多いほど熱拡散しやすくなります。ベタの配線層は放熱には有効ですが、配線設計は入出回路の信号品質を劣化させない電気的特性への配慮はもちろん、デバイス実装時にベタ配線がキャパシタとして作用し ESD 破壊を誘発するものであってはなりません。

実装信頼性の観点からは配線パターンの表裏残銅率差は実装基板の温度変化による反りを発生させる一因になりますし、配線パターンの残銅率を高くすると基板自体の線膨張率が高くなり（実装時や市場での温度変化などによる）実装信頼性に悪影響を与える場合があります。実装基板を設計する際はこれらのリスクに配慮した設計が必要です。

### 6.6.1.2　対流

次に対流は、高温物体表面で温められた空気などの流体による熱の移動様式です。空気などの流体は温められると密度が小さくなり、浮力が生じて自然対流がおこります。対流はデバイスパッケージから受けた熱のみではなく、パッケージ周辺、パッケージ直下の実装基板などからも熱を受け対流します。

この対流は実装基板を水平または垂直に立てた場合でも変わりますし、気体が対流する空間の大きさ、形状によっても変化します。

近年の高密度実装によるセットの小型化で筐体内には十分な空間が確保できない場合が多く、この様な場合は対流による放熱は期待できません。また、吸排気口を設けることができない防水製品などは外気の取り込みや排出ができないため対流による放熱対策が一層難しくなります。

また、ファンを使った強制対流により放熱を行う場合は、ファンの振動やダストによる撮像への影響に配慮する必要があります。

© 2018 Sony Semiconductor Solutions Corporation

#### 6.6.1.3　輻射

輻射は、物体表面から可視光や赤外線などの電磁波に変換され放射されることで熱が伝わる様式です。この放射されるエネルギーは高温物体ほど大きく、高温物体から低温物体へと移動し、物体の温度や表面状態によってかわります。他の熱輸送様式は熱を伝える媒体が必要ですが、輻射は真空中でも熱の移動が起きます。パッケージの放熱においては他の熱輸送様式と比較してその影響は小さいと言えます。

最後に熱伝導、対流、輻射の各熱輸送様式のイメージ図を図 6-26 に示します。

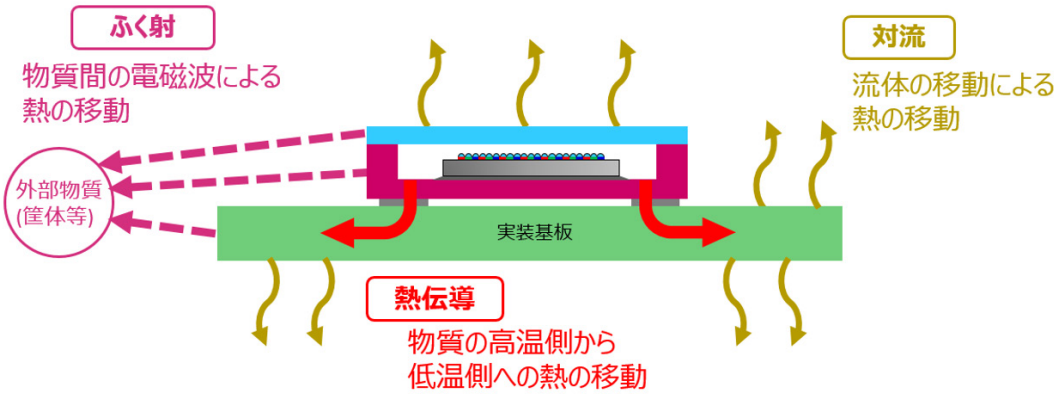



図 6-26　熱の輸送様式

© 2018 Sony Semiconductor Solutions Corporation

## 6.6.2　熱抵抗について

### 6.6.2.1　$\theta_{JA}$（チップ（junction）-周囲環境（ambient）間熱抵抗）

チップ温度（$T_J$）と周囲環境温度（$T_A$）の間の熱抵抗値（$\theta_{JA}$）は最も一般的に使われるパッケージの熱特性値です。$\theta_{JA}$を用いることで異なるパッケージの熱性能を比較することができます。

しかし$\theta_{JA}$は固定値ではなく、測定環境で大きく変化する数値であることに注意が必要です。

具体的には測定に用いる実装基板のサイズや厚み、層数などに大きく影響を受け、パッケージ周辺の対流の影響、周囲環境温度やチップの消費電力によっても影響を受ける性質があります。

これでは一様にパッケージの熱特性を比較することができませんので、正しく比較できるように、これらの測定環境（条件）を揃える必要があります。

測定環境（条件）の統一はJEDECにより熱抵抗評価方法として標準化されており、この規格に準拠して求められた$\theta_{JA}$を用いればメーカーや形状の異なるパッケージでも容易に熱特性の比較を行うことができます。

ただし、実際のセット設計者が標準化された評価環境下で求められた$\theta_{JA}$を用いてデバイスの$T_J$を算出するのは大変危険です。あくまでも、特定の環境下で求められた$\theta_{JA}$であることにご注意ください。

冒頭に述べたように$\theta_{JA}$はパッケージの熱特性比較には便利な数値ですが、ご使用いただく環境で大きく数値が変わります。実際のセットに標準化された環境下での$\theta_{JA}$を用いて$T_J$を計算した場合、最悪のケースではデバイスの$T_J$は動作温度範囲を逸脱する可能性があります。

### 6.6.2.2　$\theta_{JC}$（チップ（junction）-パッケージトップ面（case）間熱抵抗）

チップ温度（$T_J$）とパッケージトップ面温度（$T_{Case}$）間の熱抵抗を$\theta_{JC}$と表わします。

一般的に$\theta_{JC}$として記載された数値は、JEDEC 規格に準拠して求められたものが多く、その測定方法はパッケージ下面と側面を断熱し全放熱がパッケージトップ面からのみ行われるようにした理想状態で行われます。

この測定値はパッケージトップ面にヒートシンクなどを取り付けた冷却構造でヒートシンクを強制冷却する様な場合を除きそのまま使用することはできません。このようなチップ温度と冷却するヒートシンク間の関係性を知るために参考になる値ではありますが、特別なデバイス以外では異なる放熱手段に依存するため、あくまでも参考値として扱うべきで、イメージセンサーパッケージにおいても同様のことがいえます。

お客様がシステム設計する上でチップ温度を測定することは難しいですが、パッケージ表面温度は比較的簡単に測定することができます。

このパッケージ表面（case）温度（$T_{Top}$）からチップ温度（$T_J$）を推定する際には、熱特性パラ

© 2018 Sony Semiconductor Solutions Corporation

メータである $\Psi_{JT}$ を用います。$\Psi_{JT}$ はチップ温度とパッケージ表面温度の差分を消費電力（P）でノーマライズしたもので、次の式で表されます。

$$\Psi_{JT} = (T_J - T_{Top}) / P$$

### 6.6.2.3　$\theta_{JB}$（チップ（junction）-実装基板（board）間熱抵抗）

チップ温度（$T_J$）とボード温度（$T_B$）の間の熱抵抗 $\theta_{JB}$ についても、チップ温度とパッケージ表面温度の間熱抵抗（$\theta_{JC}$）同様に、デバイストップ面、側面を断熱し、すべての発熱がパッケージ裏面を通して実装基板へのみ放熱される理想状態における値です。

$\Psi_{JB}$ はチップ温度とボード温度の差分を消費電力（P）でノーマライズしたもので、次の式で表されます。

$$\Psi_{JB} = (T_J - T_B) / P$$

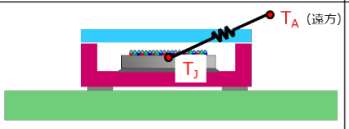
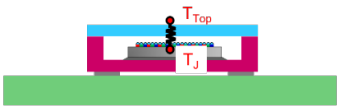
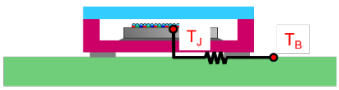
ある前提をおいて $\Psi_{JB}$ として定義されるチップ温度とボード温度の関係も $\Psi_{JT}$ 同様、熱設計における重要なパラメータで、かつ実際に即しているものといえます。

両者ともに標記として $\theta$ ではなく $\Psi$ が用いられるのは本当の意味での熱抵抗ではない為です。

$\Psi$ 値はチップからの発熱がパッケージトップ面や実装基板に分散する過程において、厳密に任意の経路を移動する熱流量を求めることはせず、簡便にデバイスの総消費電力 P を使って $\Psi_{JT}$ と $\Psi_{JB}$ を求めます。

本来、熱抵抗 $\theta$ は熱の伝達経路の抵抗を現す記号ですので、経路を意識せず求めた値には $\theta$ は使いません。この数値は、熱抵抗（$\theta$）と同じ単位（℃/W）を用いますので値の混同に注意が必要です。

これらの放熱経路について 図 6-27 熱抵抗、熱特性パラメータの種類 に示します。

| $\theta_{JA}$ | $\Psi_{JT}$ | $\Psi_{JB}$ |
|---|---|---|
| 自然対流状態における$T_J$-$T_A$間の熱抵抗 | ある周囲環境における<br>$T_J$-$T_{Top}$間の熱特性パラメータ | ある周囲環境における<br>$T_J$-$T_B$間の熱特性パラメータ |
|  |  |  |
| $\theta_{JA} = (T_J - T_A)/P$ | $\psi_{JT} = (T_J - T_{Top})/P$ | $\psi_{JB} = (T_J - T_B)/P$ |

© 2018 Sony Semiconductor Solutions Corporation

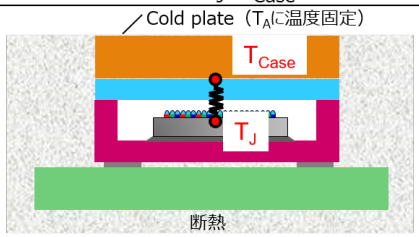
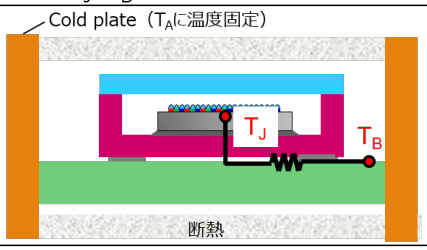
| $\theta_{JC}$ | $\theta_{JB}$ |
| --- | --- |
| パッケージ表面から大部分の放熱が行われる状態における$T_J$-$T_{Case}$間の熱抵抗 | 実装基板から大部分の放熱が行われる状態における$T_J$-$T_B$間の熱抵抗 |
|  |  |
| $\theta_{JC} = (T_J - T_{Case})/P$ | $\theta_{JB} = (T_J - T_B)/P$ |

図 6-27　熱抵抗、熱特性パラメータの種類

## 6.6.3　チップサイズやパッケージ構造による放熱性

熱抵抗 $\theta_{JA}$ は消費電力あたりのチップ温度と環境温度との差分として求められる値ですが、チップサイズやパッケージ構造により次のような特徴があります。

消費電力は回路規模や駆動モードなどで異なりますが、単位面積あたりの消費電力はチップ面積が小さいほど大きくなり、同時に発熱密度も大きくなる傾向にあります。そのため熱抵抗値 $\theta_{JA}$ はチップサイズが小さいほど大きな値を示すようになります。

特にイメージセンサーのチップサイズは回路規模よりも光学サイズが支配的で、コンパクトから大判まで幅広いチップサイズがあります。

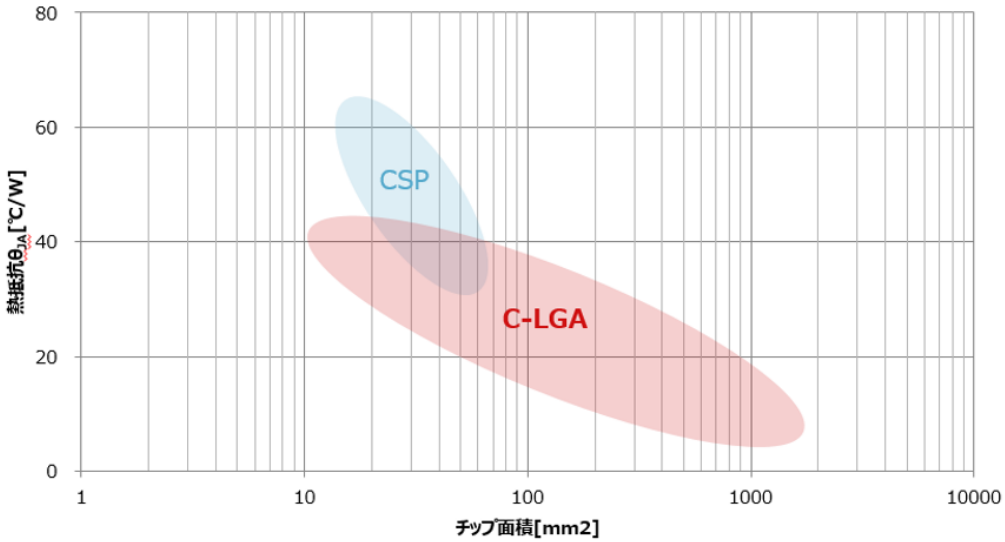
一般的に光学サイズが大きい方が熱設計には有利な傾向がありますが、一方では端子が線膨張係数の影響を受けやすく、機械的なストレスが大きくなる傾向があります。

パッケージ構成材料の視点でみるとセラミック基板を用いたパッケージは有機基板を用いたパッケージに比較し放熱性がよく、熱を拡散させる機能としても優れています。また、パッケージ構造の視点でみると、CSP はセラミックパッケージの様な熱の拡散経路が少ないため、構造的にも放熱性は不利になります。

パッケージ選定では放熱性はもちろん、実装信頼性やリフローまでの放置時間など総合的な視点で選定することが重要であり、放熱性はその中の重要な要素の一つといえます。

図 6-28 にチップサイズとパッケージ構造毎の熱抵抗（$\theta_{JA}$）例を示します。

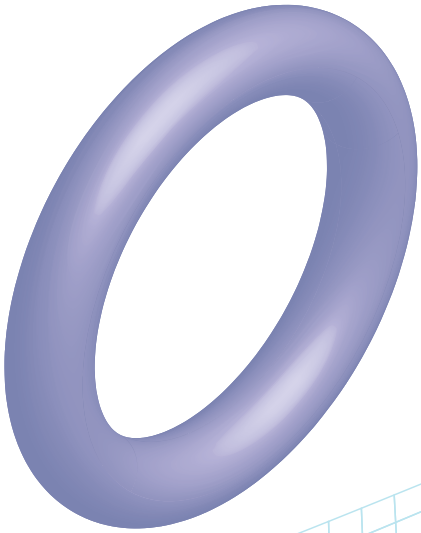
© 2018 Sony Semiconductor Solutions Corporation




（注）上記はJEDECに準拠し、$T_A$=25℃、1W発熱時の自然対流（風速0m/s）を想定した場合の計算値です。
パッケージサイズやインターポーザ基板の設計仕様により熱特性値は変動しますのでご注意ください。

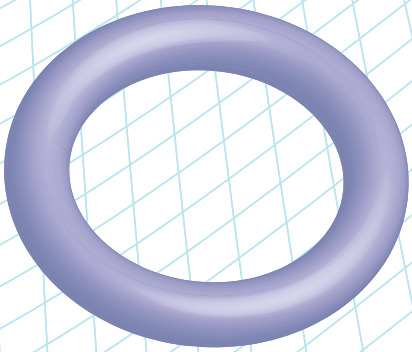
図 6-28　チップサイズとパッケージ構造毎の熱抵抗（$\theta_{JA}$）例

© 2018 Sony Semiconductor Solutions Corporation



# 第7章　製品カテゴリーごとの注意

Chapter 7　Notes on Each Product Category



# 第 7 章　目次

7.　製品カテゴリーごとの注意
7.1　イメージセンサー..... 7-3
7.1.1　実装上の注意事項 ..... 7-3
7.1.1.1　はんだ付け時の注意事項..... 7-3
7.1.2　イメージセンサー組込時の注意事項 ..... 7-4
7.1.2.1　取り付け（接着）時の取り扱い..... 7-4
7.1.2.2　ゴミ・汚れ対策..... 7-5
7.1.2.3　ゴミ・汚れの除去方法..... 7-6
7.1.3　マガジン梱包品の取扱注意事項 ..... 7-7
7.1.3.1　製品の取り出し方法について..... 7-7
7.1.3.2　開封後の端数収納保管について..... 7-7
7.1.4　その他 ..... 7-8
7.2　レーザーダイオード..... 7-9
7.2.1　レーザーダイオード取扱上の注意事項 ..... 7-9
7.2.1.1　レーザー光に対する目の保護..... 7-9
7.2.1.2　ガリウム砒素について..... 7-9
7.2.1.3　電気的ストレス..... 7-10
7.2.1.4　汚染（ゴミ／汚れ）..... 7-11
7.2.1.5　機械的ストレス..... 7-11
7.2.1.6　熱的ストレス..... 7-12
7.2.1.7　結露 ..... 7-12
7.2.2　LD（Laser Diode）の信頼性 ..... 7-13
7.2.2.1　LD の故障 ..... 7-13
7.2.2.2　劣化要因..... 7-13
7.2.2.3　寿命推定方法..... 7-14
7.2.2.4　故障解析..... 7-15
7.3　LCD..... 7-18
7.3.1　LCD の光信頼性..... 7-18

© 2018 Sony Semiconductor Solutions Corporation

7.3.1.1　概要 ..... 7-18
7.3.1.2　劣化のメカニズム..... 7-18
7.3.1.3　耐光性評価方法..... 7-19
7.3.2　LCD の取り扱い..... 7-20
7.3.2.1　静電気対策..... 7-20
7.3.2.2　ゴミ、汚れ対策..... 7-20
7.3.2.3　耐光性に関する注意事項..... 7-20
7.3.2.4　その他取り扱い上の注意点..... 7-21
7.4　ベアダイの品質保証に関して..... 7-22
7.5　製品名およびマークロットの表示..... 7-24

© 2018 Sony Semiconductor Solutions Corporation

# 7.1 イメージセンサー

## 7.1.1 実装上の注意事項

### 7.1.1.1 はんだ付け時の注意事項

イメージセンサーは中空パッケージ構造で、はんだ付けの加熱によりパッケージ内部圧力が増加しシールガラス接着部に剥れが生じやすく、一般にはリフロー実装は保証できません。

パッケージ材質や接着剤およびパッケージサイズにより推奨可能なはんだ付け条件が異なりますので個別製品仕様書の推奨条件および注意事項の範囲で使用してください。

(1) はんだコテによるはんだ付け推奨条件

下記の事項に注意し、作業する事を推奨します。

- 静電対策を施した 30W 相当のはんだゴテを用い、先端温度 350℃以下、各端子 3 秒以下で作業してください。(基板や作業環境によりパッケージ温度は変わりますので、下記箇所の温度を確認の上作業してください。)

  ① プラスチック/サーディップパッケージ　：ガラス接着部　80℃以下

  ② 積層セラミックパッケージ　：ガラス接着部　95℃以下
- イメージセンサーの手直しおよび取り外し時も上記の温度以下に抑えるようにしてください。
- 電動はんだ吸い取り器具を使用の際は、起動時にサージによる過大電圧がかかる場合がありますので温度制御方式がゼロクロス ON/OFF 型を使用し、接地してください。
- 局部的な加熱は避けてください。また、急加熱、急冷却は避けてください。

(2) リフロー推奨条件

個別製品仕様書にリフロー推奨条件が記載されている製品については、下記推奨条件および注意事項を守って作業をお願いします。

- 推奨リフロープロファイル
- 脱気梱包開封後の保管条件およびリフロー作業までの時間
- リフロー回数

なお、X 線透過像によるはんだ検査を行いますと多量の X 線照射により暗電流増加など製品にダメージを与える可能性がありますので、ご注意ください

© 2018 Sony Semiconductor Solutions Corporation

## 7.1.2　イメージセンサー組込時の注意事項

### 7.1.2.1　取り付け（接着）時の取り扱い

- 剛性の高い部品で全面的に荷重を加えると、パッケージ裏面の平面度によって曲げ応力が発生し、パッケージ破断などが発生する恐れがありますので、取り付けは板バネなどの弾性荷重を用いるか、接着剤で行ってください。
- 接着剤により裏面の標示がかすれたり、にじんだりすることがあります。
- パッケージ表面に金属などが衝突したり、こすれたりすると、パッケージの欠け、脱落が発生し、ゴミの原因となる可能性がありますので、ご注意ください。
- リード有り製品については、リードを繰り返し曲げると、パッケージの欠け脱落が発生し、ゴミの原因となる可能性がありますので、ご注意ください。
- 取り付け時に、紫外線、赤外レーザーを使用される場合は、イメージセンサーにダメージを与える可能性がありますので、ご注意ください。
- パッケージに静荷重を加える場合は、下記を限度としてください。また、局所的荷重およびガラス内側（中空部）への荷重は加えないでください。

下記のように、特にサーディップ／プラセラパッケージについてはご注意ください。

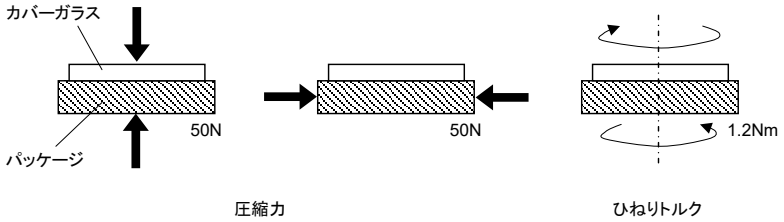



図 7-1　積層セラミックパッケージへの許容応力

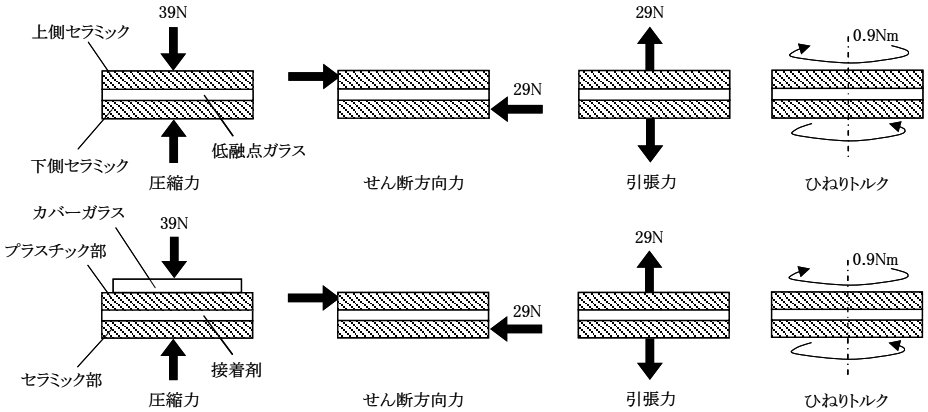



図 7-2　サーディップ／プラセラパッケージへの許容応力

© 2018 Sony Semiconductor Solutions Corporation

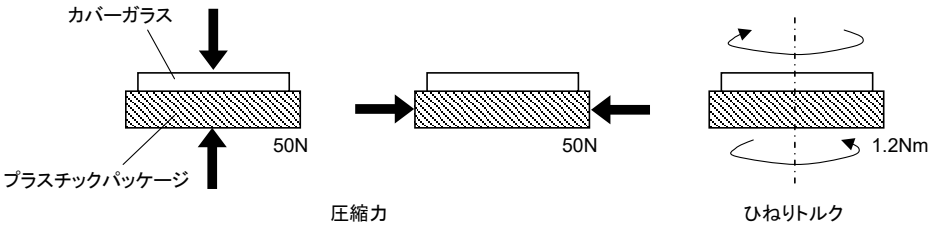



図 7-3　プラスチックパッケージへの許容応力

#### 7.1.2.2　ゴミ・汚れ対策

素子のガラス面は、使用上有害なゴミ・汚れのないよう配慮して梱包納入していますが、必要に応じて下記のクリーニング作業により清掃除去の上、使用してください。

特にガラス表面に反射防止膜などを施した製品は、素ガラスよりもキズが付きやすいため、特にクリーニング作業についてはキズを付けないようにご注意ください。

(1)　レンズ系取り付けなどの作業は清浄な場所で行ってください。（クラス 1000 以下。）

(2)　ガラス面には手を触れないように、また物を接触させないようにしてください。ゴミなどがガラス面に付着した場合はエアブローで吹き飛ばしてください。（静電気で付くゴミにはイオナイズドエアの使用を推奨します。）

(3)　油脂汚れはエチルアルコールをつけた綿棒などでガラス面にキズを付けないように拭き取ってください。

(4)　ゴミ・汚れ対策として専用のケースに保管し、結露対策として寒暖の差の激しい部屋の移動には徐熱徐冷するなどの注意をお願いします。

(5)　出荷時に保護テープが張り付けてある場合は、使用直前に静電気防止対策実施の上剥離してください。
なお、保護テープの再使用は行わないでください。

(6)　保護テープはガラス面にキズがつく事を防止することを目的としていますが、ガラス面とテープ間のゴミの挟み込みについては保証しておりません。保管期間が長くなりますと挟み込んだゴミが取れにくくなったりテープの糊残りが発生しやすくなったりしますので、長期の保管は可能な限り回避していただけますよう配慮をお願いします。

© 2018 Sony Semiconductor Solutions Corporation

#### 7.1.2.3　ゴミ・汚れの除去方法

① 有効面と周辺ガラス面は、綿棒を傾け（45°以下）図 7-4 に示すようにリード並びと同一方向に拭いてください。

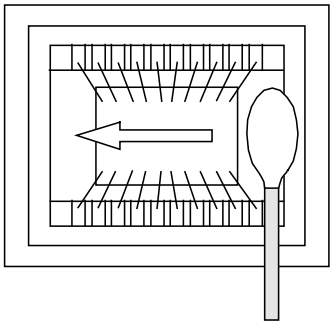


図 7-4　ガラス面の拭き方

② シールガラスとパッケージの隙間は綿棒を立てて、図 7-5 に示すように拭いてください。

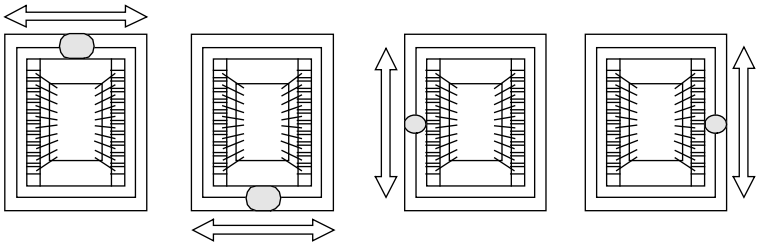


図 7-5　シールガラス面の拭き方

［ご注意］

- ゴミ、汚れが付着していない場合は、綿棒で拭かないでください。
- ①の場合は、ガラス端面およびセラミック面に綿棒が接触しないように拭いてください。
- 綿棒は再使用しないでください。

© 2018 Sony Semiconductor Solutions Corporation

## 7.1.3　マガジン梱包品の取扱注意事項

### 7.1.3.1　製品の取り出し方法について

マガジンから製品を取り出す際は、落下によるリード曲がりなどを防止するため以下の手順で取り出してください。

① ゴムストッパを取り外してください。この時、製品がマガジンから落下しないように注意してください。

② 導電性マットの上でマガジンを 30°ほど傾け、製品をゆっくり滑らせるようにして取り出してください（マガジンを傾け過ぎますと、製品が勢いよく飛び出しますので注意してください）。

またこの時、マガジンの製品取り出し口をマットから 5mm 以下の高さに保ちながら製品を取り出してください。(図 7-6)

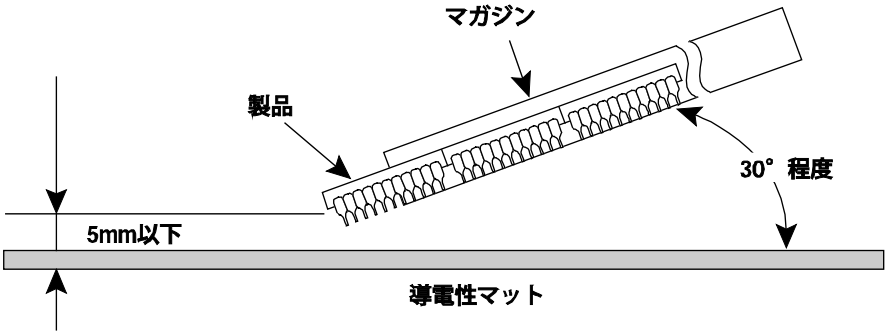



図 7-6　マガジンからの取り出し方

### 7.1.3.2　開封後の端数収納保管について

製品を取り出した後、製品収納個数が端数となるマガジンを保管する際は、衝撃などによる製品破損防止のため、製品がマガジン内で動かないように適切な長さのゴムスペーサをマガジンに挿入し、ゴムストッパを装着することを推奨します。（図 7-7）

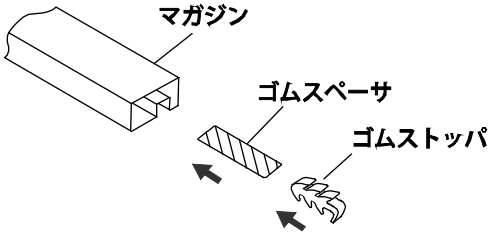



図 7-7　マガジンへの端数製品収納方法

© 2018 Sony Semiconductor Solutions Corporation

### 7.1.4　その他

- 紫外線や太陽光などの強い光に長時間さらさないようにしてください。
  オンチップレンズおよびカラーフィルタの透過率やカラー特性に影響が出る場合があります。
- 高温高湿での過酷な条件でも透過率やカラー特性に影響を与える場合がありますので、このような状態での保管および使用は 避けてください。
- 動作中に強い電磁波、磁場に近づけると、ノイズなど撮像特性に影響を及ぼす可能性があります。特に CMOS イメージセンサーは影響を受けやすいのでご注意ください。
- CMOS イメージセンサーについては、赤外カットフィルタで近赤外領域に透過性を有するものを使用された場合、高輝度の被写体を映した時にオプティカルブラックに光が漏れ込み、画像に影響を与える事がありますのでご注意ください。
- 当社のイメージセンサーは、放射線レベルが一般より高い環境での使用を想定した仕様にはなっていません。
- イメージセンサーは、時間経過とともに宇宙線に起因した白点が突発的に発生します。
  発生する白点につきましては、白点補正回路にて対応してください。

© 2018 Sony Semiconductor Solutions Corporation

# 7.2 レーザーダイオード

## 7.2.1 レーザーダイオード取扱上の注意事項

レーザーダイオードは、通常のトランジスタや集積回路と違って、特に下記の点に注意して取り扱う必要があります。

### 7.2.1.1 レーザー光に対する目の保護

いかなる状態でもレーザー光が目に入らないよう注意してください。レーザーダイオードを発振させた状態で検査・測定を行う場合は、レーザー光を遮断する保護メガネのご使用をお勧めします。

レーザーの安全基準は、IEC60825-1、日本工業規格 C6802「レーザー製品の安全基準」により規定されていますので、遵守してください。

製品仕様書に下図（図 7-8）のような警告ラベルが記載されています。

詳細は日本工業規格 C6802 をご覧ください。

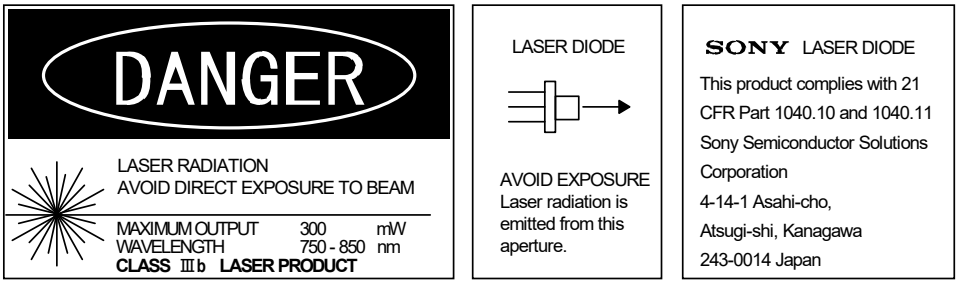



図 7-8　警告ラベル例

### 7.2.1.2 ガリウム砒素について

レーザーダイオード（青紫色レーザーダイオードを除く）には GaAs（ガリウム砒素）が使われています。通常での使用には問題ありませんが、GaAs が酸や蒸気と反応すると有毒なガスが発生します。粉砕したり、保存温度以上に加熱したり、口に入れたりすることは絶対にしないでください。

また、この製品を廃棄処理する場合は、下記の処理方法を推奨します。

1) 砒素含有物の収集、運搬、中間処理の資格を有する業者に依頼する。
2) 一般産業廃棄物および家庭用廃棄物とは別に、特別管理産業廃棄物として、最終処分までの管理を行う。

© 2018 Sony Semiconductor Solutions Corporation

#### 7.2.1.3　電気的ストレス

レーザーダイオード（LD 素子そのもの）は、半導体の中で最も電気的ストレスに弱い製品のひとつですので、取扱いには十分ご注意ください。レーザーダイオードは内蔵されたフォトダイオード、もしくは外付けのフォトダイオードによって光出力をモニターし、推奨出力を超えない範囲で、一定出力で駆動することを推奨します。定電流で駆動する際は I-L 特性の温度依存性を留意した上で低温時における出力増加を考慮した設計を行ってください。

なお、当社ではお客様での電気的ストレスによる不具合に対し、その対応をサポートすることを目的としてコンサルティングサービスを用意しておりますので、必要な場合には販売窓口までお気軽にご相談ください。

**(1)　過電流／サージ電流**

レーザーダイオードは、使用時の光出力が大きいほど寿命が短くなります。推奨を超える条件で使用される場合には、寿命保証ができなくなりますので、推奨する条件の範囲内でご使用ください。また、絶対最大定格を超える光出力が発生した場合には、その時間が瞬時であってもレーザーダイオードにダメージが加わる場合があり、この場合にも寿命が短くなるなど、ひどい場合には即時発振停止に至ることもありますのでご注意ください。なお、電気的ストレスによって加わるダメージの中で最も多いダメージがこの絶対最大定格を超える光出力によるものであり、そのメカニズムは「過大発光によって発光端面が過度の高温になることによる発光領域の構造破壊」です。

＜過電流／サージ電流の主な原因＞

a.　電源起因のもの（通電電流の過度なオーバシュートなど）

b.　調整ミス起因のもの（光出力調整つまみのオーバランなど）

c.　漏電、またはライン間電位差起因のもの（接続しただけで電流が流れるなど）

d.　静電気起因のもの（レーザーダイオードに帯電した電荷／人体・周囲のものに帯電した電荷など）

e.　接続不良起因のもの（チャタリングなど）

f.　作業ミス起因のもの（通電中の回路切断など）

g.　使用条件起因のもの（推奨条件を超える条件での使用など）

**(2)　静電気**

静電気は、レーザーダイオードにサージ電流が流れる原因になりますのでご注意ください。

静電気であってもレーザーダイオードに流れる状況は過電流のそれと変わらず、ダメージが発生するメカニズムも同じです。対処方法は状況によって様々ですが、経済性も考慮すると、基本的な考え方は下記のとおりです。

© 2018 Sony Semiconductor Solutions Corporation

a. 静電気として蓄積された電荷を、レーザーダイオードの端子に流さないようにする。

b. どうしても流れてしまう場合には保護・対策を実施し、流れる電流を制限する。

c. 非通電時にはレーザーダイオードのアノードとカソードが常に確実に同電位になるようにする。

d. 静電気の発生を抑制する、または除電する。

※ 樹脂パッケージ製の製品は、特にパッケージに帯電する静電気にご注意ください。

#### 7.2.1.4 汚染（ゴミ／汚れ）

(1) 製品のウィンドウガラスにゴミや汚れが付着した場合、光出力の低下や発光パターンの変形が生じる場合がありますのでご注意ください。

a. ウィンドウガラスには触れないでください。

b. ウィンドウガラスに付着したゴミを取り除く場合は、エアブローなど非接触の方法で行ってください。

なお、その場合には、エアーに含まれるミストなどによる二次汚染や、ノズルの接触によるウィンドウガラスへの傷、またエアブローによって発生する静電気で製品が静電破壊することにもご注意ください。

(2) 周囲雰囲気中に腐食性ガスやその他の有害なガス（接着剤からのアウトガスなど）が含まれていると、製品に悪影響を及ぼす可能性がありますのでご注意ください。

(3) オープンパッケージの製品は、パッケージ内部に異物（接着剤、溶剤、塵埃など）が侵入すると内部素子を汚染する場合がありますので、異物が侵入しないようご注意ください。レーザーダイオード端面、フォトダイオード受光面などが汚染されると特性劣化が発生します。

#### 7.2.1.5 機械的ストレス

製品に機械的ストレスによる損傷が生じた場合、ウィンドウガラスまたは気密部品からのリークによる気密性の低下やレーザー素子・内部結線の損傷が生じ、その結果として製品寿命が著しく短くなるなど、特性劣化が生じる場合がありますのでご注意ください。

**(1) アウターリード曲がり**

アウターリードがある製品は、その取り扱い方法によってはこれが曲がる場合がありますのでご注意ください。アウターリードの根元にある絶縁ガラスが損傷した場合、気密性が低下する原因になります。

**(2) アウターリード抜け**

アウターリードがある製品は、アウターリードを強く引っ張ることでこれが抜ける、ある

© 2018 Sony Semiconductor Solutions Corporation

いは逆に強く押すことでリードが陥没することがあります。特に一度装着したレーザーダイオードを引き抜く時には、アウターリードを完全にフリーにした状態で行ってください。

(3) パッケージ損傷

レーザーダイオードは、パッケージに強い力が加わることで接着した部材が剥離したり、パッケージが変形、欠損、または亀裂が入ったりすることがありますのでご注意ください。

(4) ウィンドウガラス、レンズなどの損傷

レーザーダイオードは、ウィンドウガラスやレンズなどに強い力が加わることで、これらに傷、汚れ、亀裂、脱落が発生することがあります。また、パッケージに強い力が加わることでパッケージが変形し、ウィンドウガラスやレンズなどに亀裂が入り脱落することがありますのでご注意ください。

(5) 内部素子の損傷

オープンパッケージの製品は、パッケージ内部にピンセットなどが侵入すると内部素子が損傷する場合がありますので、これらがパッケージ内部に侵入しないようにしてください。

#### 7.2.1.6 熱的ストレス

(1) 高温環境下での動作

レーザーダイオードは、使用時のケース温度が高いほど寿命が短くなり、推奨条件を超える温度条件でのご使用については、寿命保証ができなくなりますのでご注意ください。

(2) はんだ付けによる加熱

レーザーダイオードは、はんだ付け時の過度の加熱により、内部素子が劣化することがありますのでご注意ください。

#### 7.2.1.7 結露

(1) 光路障害

レーザーダイオードは、低温環境下から常温または高温環境下に急に移動した場合など、ガラス表面に一時的に結露が生じることで、製品の特性が一時的に劣化したり、ウィンドウガラス表面に汚れが付着したりする場合がありますのでご注意ください。

(2) 電気化学反応

オープンパッケージ製品は、結露したままの状態で動作させると、内部素子での電気化学反応により製品の特性が劣化する場合がありますので、結露した状態でのご使用は避けてください。レーザーダイオードを扱われる方は、本章をご理解いただき、安全に、かつ正しくご使用くださるようお願い致します。

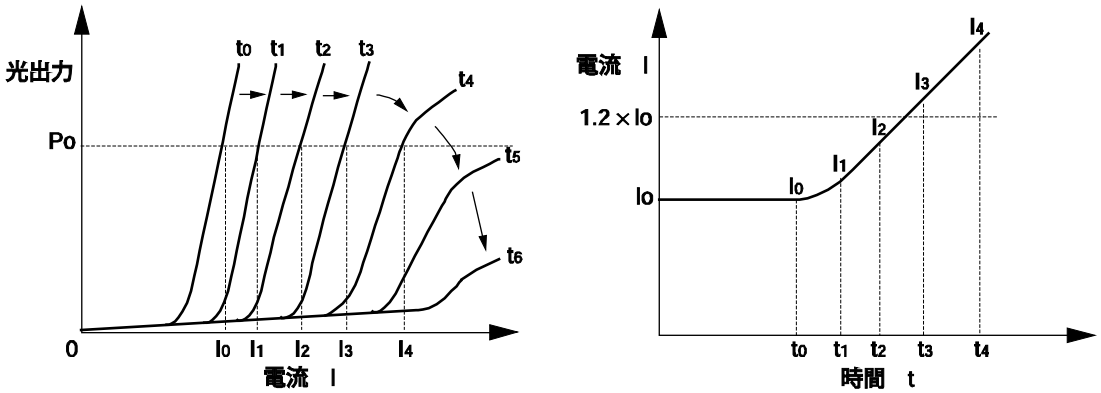
© 2018 Sony Semiconductor Solutions Corporation

## 7.2.2　LD（Laser Diode）の信頼性

### 7.2.2.1　LD の故障

発光素子であるレーザーダイオードは、動作させると発光に寄与しない電流が増加することによって発光特性が経時変化を起こします。特性の中でも、駆動回路に影響が大きい光出力－動作電流特性の経時変化で素子寿命を定義することが一般的です。図 7-9(a)にこれを示します。光出力を一定に保つ APC（Automatic Power Control）駆動を行ったとき、時間 t5 ではもはや一定光出力 P0 を発光させることができなくなっています。

一例として、動作電流が初期値の 1.2 倍となった時間でレーザーダイオードの寿命を定義した場合、図 7-9(b)に示すように t2 と t3 の中間で故障したとみなします。しかしながら、図 7-9(a)に示すように、レーザーダイオードがまったく発光しなくなるわけではありません。




(a) 光出力－動作電流特性の経時変化　　(b) 光出力－定値の動作電流の経時変化

図 7-9　光動作電流特性の経時変化

### 7.2.2.2　劣化要因

レーザーダイオードの信頼性は、使用時の温度と密接な関係があり、動作温度が高くなるにしたがって、劣化速度（単位時間あたりの駆動電流の上昇：ΔIop/Δt）は指数関数的に上昇し、その関係は、次のように表すことができます。

$$\tau \propto \frac{\Delta Iop}{\Delta t} \propto \exp\left(\frac{-Ea}{kT}\right)$$

Ea：活性化エネルギー (eV)
k　：ボルツマン定数 ($8.616\times10^{-5}$eV/K)
T　：絶対温度 (K)

一例として AlGaAs 系レーザーダイオードの劣化は、温度と駆動電流の上昇率の関係から、

Ea≒0.7eV

© 2018 Sony Semiconductor Solutions Corporation

と求められており 1)、室温付近では、10℃の温度上昇に対して寿命はおよそ 1/2.2 に低下します。特に小型の機器に実装する場合は熱設計に十分考慮してレーザーダイオードの温度上昇を抑えることが必要です。このような、長期の寿命を支配する劣化は、遅い劣化モード（Gradual Degradation）による劣化、あるいは磨耗劣化とよばれています。この磨耗劣化は、光出力が大きくなると加速されます。したがって、十分な信頼性を得る上では仕様上限光出力以下の範囲で使用することが重要です。

レーザーダイオードの使用中に発生する故障に、サージ電流や過電流を流したことによる“端面劣化”が多く見られます。レーザーダイオードでは、電流を上昇させて光出力を増加させていくと、突然、光出力が低下して非可逆的な破壊が生じます。COD（Catastrophic Optical Damage）破壊とも呼ばれるこの劣化は、高光出力密度動作によって、瞬時にレーザー端面の一部が溶融して結晶欠陥が生成されることで引き起こされます。レーザーダイオードは 1GHz 以上の

高速応答性を持ち、瞬時に破壊されるため、サージ破壊はレーザーダイオード特有の故障メカニズムの一つになっています。サージによる COD 破壊を避けるためには、電源などから入る瞬間的な過大電流やサージによる過大光出力を一瞬たりとも発生させない必要があります。また、比較的弱いサージが印可され、当初はレーザーダイオードの特性悪化が小さくても、その後の動作寿命が短くなることが確かめられており、注意が必要です。

#### 7.2.2.3　寿命推定方法

レーザーダイオードの寿命は、他の半導体デバイスとは異なり、平均故障時間（MTTF:Mean Time To Failure）が用いられる場合があります。以下、その求め方について述べます。

一般的に、レーザーダイオードの寿命はワイブル分布に従いますので、MTTF は特性寿命（尺度パラメータ）$\eta$、形状パラメータ m とガンマ関数から次式で表されます。

$$MTTF=\eta\,\Gamma\,(1+1/m)$$

$\eta$ および m は、故障時間をワイブル確率紙にプロットして求めることができます。

なお、m=1 のときには、$\Gamma(2)=1$ であることから、MTTF は特性寿命 $\eta$ と等しくなります。

© 2018 Sony Semiconductor Solutions Corporation

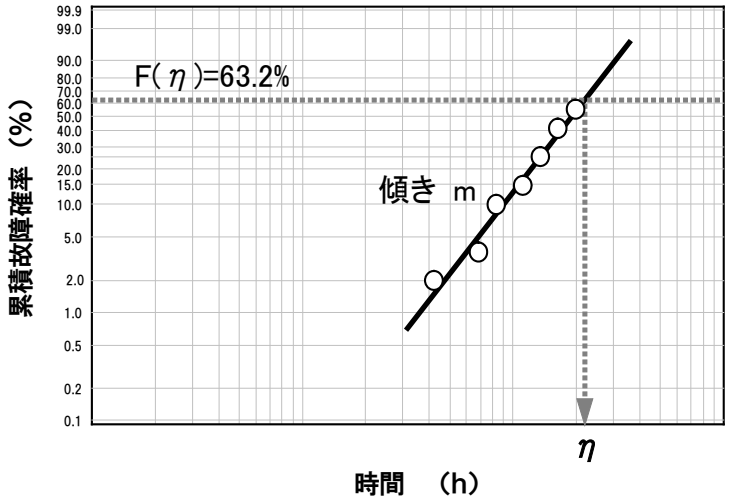



図 7-10　ワイブルプロット：m と η の求め方

#### 7.2.2.4　故障解析

レーザーダイオードに不具合が生じた場合には、その電気的特性、光学的特性を調べるとともに、光学顕微鏡観察、SEM 観察などを行って、総合的に原因を調査します。

レーザーダイオードは電流を流すことによりストライプ部分が発光するので、この発光を観察して故障原因を推定することが一般的です。観察する部位としては、レーザーダイオードの光が出射する端面と、ストライプ部分全体を、内部からの光を遮る電極層、半導体層を除去して観察します。

ここでは、一般の半導体デバイスと異なる、発光特性を用いた故障解析法を紹介します。

(1)　レーザー光出射端面の発光解析

レーザーダイオードを使用中に発生した故障として多く見られるのが、サージ電流や過電流を流したことによる“端面劣化”です。COD（Catastrophic Optical Damage）破壊とも呼ばれるこの劣化は、高光出力動作によって、瞬時にレーザーダイオードの端面の一部が溶融して結晶欠陥が生成され、その溶融した部分が光を吸収するためにレーザーダイオードの特性劣化として観察されます。一定の光出力を得るための動作電流の増大（Iop 大）や、定格出力が出ない、レーザーダイオードが発振しない、あるいは非常に大きな過電流を流した場合は電流が流れないなどの故障としてよく見られます。

レーザーダイオードに数 mA 程度の低電流を流して発光させ、光出射端面の光強度分布を観察します（ニアフィールドパターン観察）。正常なレーザーダイオードの場合には、図 7-

© 2018 Sony Semiconductor Solutions Corporation

11 のようなガウス分布をしています。レーザー発振時には、光出射端面の発光領域中央部が最も光密度が高いために、この箇所で結晶の溶融が生じます。したがって、ニアフィールドパターンの中央付近が暗く見えて、双峰になったり、いくつかに割れたりするように見えた場合には、レーザーダイオードにサージ、あるいは過電流が印加され、発光領域の中央部付近に光吸収領域が発生して端面劣化したことがわかります。(図 7-12)

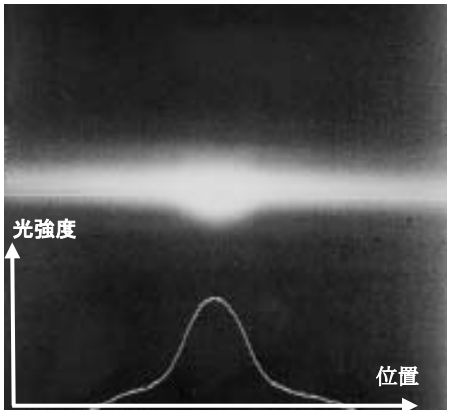



図 7-11　正常な端面発光パターン

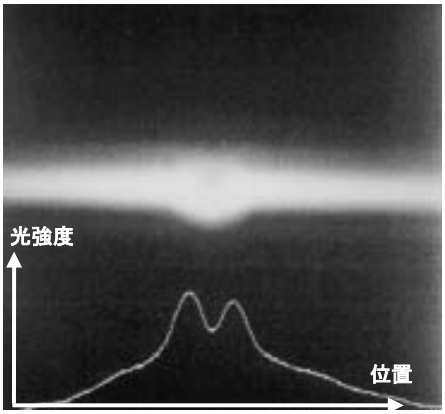



図 7-12　劣化した端面発光パターン

### (2)　レーザーダイオード全面の発光解析

端面からの出射光観察で異常がみられない試料や、レーザーダイオードチップ内部に欠陥が発生しているものについては、ストライプ全体の解析をする必要があります。カソードルミネッセンス法は、故障したレーザーダイオードのストライプ全体を観察することができます。そのために、レーザーチップ内部の発光する層からの発光を観察するために、光を遮る電極層と半導体層を、薬品を用いたエッチングによって除去します。そして、電流を流す代わりに電子線を照射することで、レーザーダイオードの発光層を発光させます。こうすることで、発光層に DLD (Dark Line Defect の略) がある場合、その形状や方向性を解像度よく知ることができます。図 7-13、7-14 に、端面近傍に DLD と呼ばれる結晶欠陥が生成したレーザーダイオードのカソードルミネッセンス像を示します。

© 2018 Sony Semiconductor Solutions Corporation

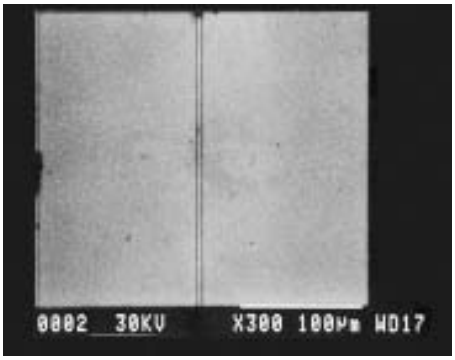



図 7-13　端面近傍に結晶欠陥のあるレーザーダイオードのカソードルミネッセンス像

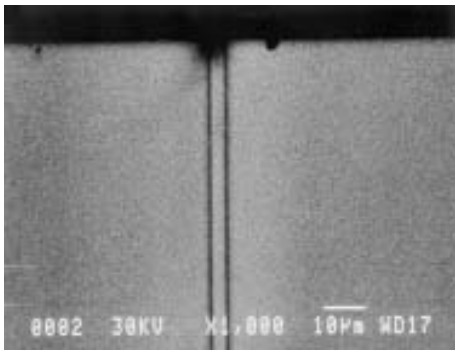



図 7-14　拡大像

参考文献：

1) R. L. Hartman and R. W. Dixon, “Appl. Phys. Lett. 26,” p. 239-242 (1975)

© 2018 Sony Semiconductor Solutions Corporation

# 7.3 LCD

## 7.3.1 LCD の光信頼性

### 7.3.1.1 概要

当社の LCD 製品には、主にビデオカメラ用ビューファインダや液晶プロジェクタ用途に用いる高温ポリシリコン TFT プロセスの LCD、そしてデジタルシネマ用プロジェクタやシミュレーション用プロジェクタ用途に用いるシリコン反射型 LCD（SXRD）があります。これら LCD の信頼性を阻害する外部ストレス要因には、一般的な半導体デバイスにおける要因に加え、LCD に照射される光の存在があげられます。プロジェクタ用 LCD については、パネル入射光の光密度が非常に大きく、長時間にわたって強い光ストレスが印加されるため、使い方によって光照射による信頼性の問題が発生する可能性があります。ここでは、主にプロジェクタ用途に用いる LCD の光信頼性について解説します。

### 7.3.1.2 劣化のメカニズム

プロジェクタ用 LCD の光照射により発生する信頼性および特性問題には、主に 2 つの現象があります。一つは使用している有機材料が吸収した光エネルギーにより発生する光化学反応により、有機化合物の分子構造が変化を起こす現象です。もう一つは、画素トランジスタへ回り込んだ光がＴＦＴのバルクで吸収されることにより発生した電子－正孔対により、画素の電位が変化する現象があります。

(1) 有機材料の光化学反応による劣化

有機化合物の光照射による分子構造の変化は、有機化合物が吸収した光エネルギーにより光化学反応が発生して、有機結合の解離を引き起こす現象と考えられます。有機化合物の光化学反応が進行すると、液晶の配向性低下やイオンの発生による画質への影響が現れることがあります。

光による化学反応速度は、光化学反応に寄与する吸収エネルギーの関数 f(λ)と、入射光量の関数 f(P)、および化学反応速度の温度依存性を表わすアレニウスの式を用いて表わすことができます。

$$L = A \cdot f(\lambda) \cdot f(P) \cdot \exp\left(\frac{Ea}{kT}\right)$$

光化学反応における反応速度は、吸収する光エネルギー量に比例するため、入射光量が多くなるほど、あるいは光量子（photon）のエネルギーが高い紫外線領域の光を吸収するほど速くなります。

© 2018 Sony Semiconductor Solutions Corporation

LCD パネルに入射する光の波長成分から、極力不要な紫外線または近紫外領域の光をカットすることや、パネル温度を下げることにより光化学反応を抑え、耐光性寿命を長くすることができます。

(2) 画素トランジスタでの光吸収による信号電荷変動

LCD の 1 画素を構成する画素トランジスタは、トランジスタへの光入射による特性変動を防ぐため、トランジスタの上下にメタル層による遮光がされています。しかし、遮光膜の端部で発生する回折光や、斜め方向からパネルに入射した光が遮光メタルの端から回り込み、反射により TFT 部分まで侵入すると、バルクの光吸収により電子－正孔対が発生し、画素電位が変化する現象を起こします。

画素トランジスタに光が入射し、トランジスタのバルクで吸収されると、光電変換によりバルク内で電子－正孔対が発生します。TFT の画素電極側の空乏層領域で発生した電子－正孔対は、空乏層内の電界によって電子が画素電極側に、正孔がドレイン側に移動します。画素電極側に電子が移動すると、映像信号が書き込まれている画素電位が変動し、液晶に印加される電界が変化します。入射光が強くなり、発生する電子－正孔対が増加して画素電極に流れ込む電子量が一定レベルを超えると、正常な保持電圧を維持することができなくなり、画質劣化の原因となることがあります。

この現象については進行性がないので、長期信頼性に影響を与える現象ではありませんが、LCD の入射光量に対する特性限界を示す一つの指標となります。

#### 7.3.1.3 耐光性評価方法

図 7-15 にプロジェクタ用 LCD の耐光性評価に用いる装置の光学系を示します。光源は、プロジェクタで一般的に用いられる高圧水銀（UHP）ランプを使用し、集光レンズで LCD パネル面に均一に集光するように光を照射して光学特性の変化を評価します。

耐光性試験の加速要因としては、主に照射光量とパネル温度があり、それぞれを制御することができます。

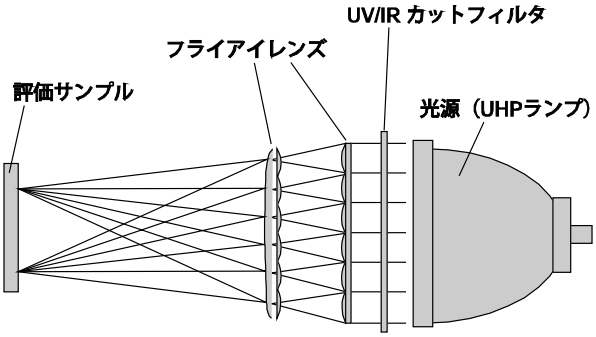



図 7-15　耐光性評価装置構成

© 2018 Sony Semiconductor Solutions Corporation

## 7.3.2　LCD の取り扱い

### 7.3.2.1　静電気対策

TFT-LCD 表示素子は静電破壊しやすいので、取り扱いに際しては次のような静電防止対策を必ず行ってください。

a) 作業は素手または非帯電性の手袋を使用してください。

b) 直接ハンドリングする場合はリストストラップを使用してください。

c) 電極部には触れないでください。

d) 作業着衣は非帯電性のものを使用し、靴は導電靴を使用してください。

e) 作業場の床、作業台などは導電マットを敷いてください。

f) パネルに帯電物を近づけないでください。

g) パネル取り扱い時はイオナイズドエアなどで除電してください。

### 7.3.2.2　ゴミ、汚れ対策

a) 作業は清浄な場所で行ってください。

b) 納入状態ではパネル表面に保護シートの付いたガラス板が貼ってあります。使用直前に保護シートをガラス板が傷つかないよう、静電防止対策実施の上、剥離してください。

c) ガラス表面は非常に傷つきやすいので、触らないようにしてください。やむを得ず汚れを取り除く場合にはイソプロピルアルコールを含ませたきれいな発塵の少ないクリーンルーム用ワイパーで軽く拭き取ってください。その際シミにならないように注意してください。

d) ゴミなどがガラス板表面に付着した場合はイオナイズドエアで吹き飛ばしてください。

### 7.3.2.3　耐光性に関する注意事項

7.3.1.2 に記載したように、LCD パネル内に使用されている液晶などの有機物は、光化学反応により劣化し、その結果表示特性が不可逆的に変化することがあります。光化学反応の進行は、光量が一定であれば、短波長側の光（UV カットフィルタの特性）と温度が支配的になります。光化学反応の進行を抑制するため、光源と LCD パネルの間には適切な UV カットフィルタ（半値波長 434nm 以上を推奨）を装着してください。

また、LCD パネルの温度をできるだけ下げるため適切な IR カットフィルタを使用し、パネルの冷却には十分注意してください。また、駆動初期動作安定のため、パネルを駆動してから光を照射するよう十分注意してください。

© 2018 Sony Semiconductor Solutions Corporation

#### 7.3.2.4　その他取り扱い上の注意点

a）フレキ基板の接続部はひねりに弱いため、フレキ基板を持つことや、ひねりや曲げなどの力を加えることは避けてください。

b）パネルを落下させないでください。

c）外枠・パネルなどにひねりや曲げなどの力を加えないでください。

d）パネルを火など高温物に近づけないでください。

e）パネルを水や溶剤などに浸さないでください。

f）高温高湿での過酷な条件では特性に影響を与えますので、このような状態での保管および使用は避けてください。

g）フレキ基板の最小折り曲げ半径およびパネル取り付けの際のネジ止めトルクは各デバイスにより規定があります。具体的には製品仕様書を参照してください。

h）パネル保護のため、適正フィルタを使用してください。

i）パネル取り付け穴以外の部分（見切り板上など）には、圧力を加えないで使用してください。

j）廃棄する場合は、関連法規に従い産業廃棄物として処理してください。

© 2018 Sony Semiconductor Solutions Corporation

# 7.4 ベアダイの品質保証に関して

ベアダイ製品に関しては、“JEITA EDR-4703A：ベアダイの品質ガイドライン”に準じて、お客様と品質の取り決めをさせて頂いております。以下、ベアダイ製品を購入される場合、留意して頂きたいことを示します。

**(1) 電気的特性保証と信頼性検証**

ベアダイの電気的特性保証と信頼性検証は、EDR-4703A で規定される表 7-1 のとおり分類され、当社では、PD による出荷を原則とさせて頂いております。KTD のご購入を希望される場合には、保証・検証項目に関するお客様の具体的なご要求をもとに、十分な協議が必要となります。

なお、KGD に関しては、パッケージ製品と同等の特性保証および信頼性検証を満足することは、多額の設備投資（最終検査装置やバーンイン装置など）を要し、技術的にも困難であることをご理解願います。

表 7-1　EDR-4703A ベアダイ信頼性検証・特性保証マトリックス

| 特性テスト ＼ 信頼性 | 簡易テスト（DC、簡易ファンクションテストのみ） | 概ね特性保証されているが、アナログ特性、At Speed、温特追込みなどがパッケージ品と同等の保証ではない | パッケージ品と同等（設計保証でも可） |
|---|---|---|---|
| パッケージ品と同等の寿命検証がされ、同等の初期故障率を満たしている | 該当せず | KTD（レベル 2） | KGD（レベル 1） |
| 寿命検証が不十分、あるいはパッケージ品と同等の初期故障率が未達、または未検証 | PD（レベル 3） | KTD（レベル 2） | KTD（レベル 2） |

注 1）KGD（Known Good Die）、KTG（Known Tested Die）、PD（Probed Die）

注 2）本表は、変更される場合がありますので、JEITA の技術標準のご確認をお願いします。

**(2) その他の主な留意点**

① ベアダイ製品の保管に関しては、梱包の未開封および開封後、ともに保管雰囲気および経過日数に制約がありますので、仕様書で定める条件の遵守をお願いします。

② ベアダイ製品の取扱いに際しては、傷などの物理的損傷、汚染、静電気は、品質に致命的な影響を及ぼしますので、十分な対応をお願いします。

© 2018 Sony Semiconductor Solutions Corporation

③ ベアダイ製品は、パッケージ製品のように、識別の捺印をすることができません。万が一品質問題が生じた場合に、その波及範囲を明確にすることが困難になります。お客様においても、トレーサビリティの確保を可能とする管理システムなどのご協力をお願いします。

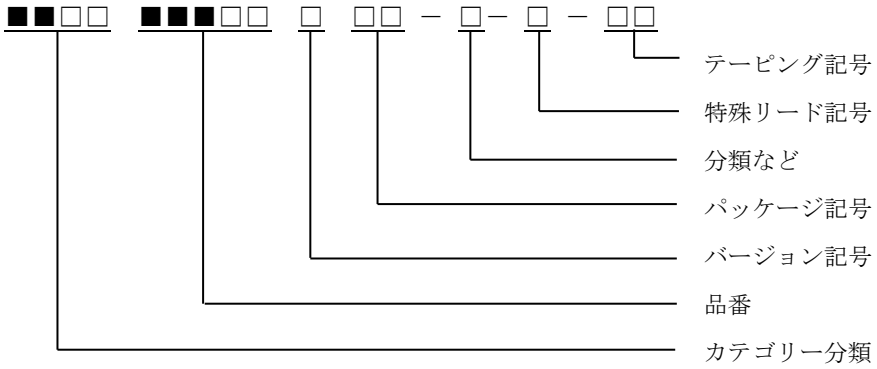
④ 不具合品に関しては、返品の形態、解析可能範囲などについて、事前の協議を行い合意させて頂きます。

© 2018 Sony Semiconductor Solutions Corporation

# 7.5 製品名およびマークロットの表示

当社製品の製品名およびマークロットの表示は以下のとおりとなっています。

(1) 製品名の表示




■：必須枠

□：オプション枠

表 7-2　カテゴリー分類表

| カテゴリー分類 | 内容 |
|---|---|
| 1T | スーパーミニバリキャップ、スーパースモールミニバリキャップ、ミニバリキャップ |
| 2SK | シリコントランジスタ、FET |
| 3SK | MES FET |
| CXA | バイポーラ／MOS アナログ |
| CXB | バイポーラデジタル |
| CXD | MOS ロジック、MOS ゲートアレイ、ASIC マイコン |
| CXG | GaAs 集積回路 |
| CXJ | その他モジュール品 |
| CXK | メモリ関連 |
| CXM | マルチチップモジュール |
| CXN | Bluetooth モジュール製品、Transfer JET モジュール製品および関連製品、光通信モジュール製品および関連製品 |
| CXP | 16bit マイコン（SPC-A1）、特定用途向け、マスク ROM 版、左記以外の 4bit、8bit マイコン、16bit マイコン（SPC900） |
| CXQ | 2nd ソースマイコン |
| CXR | RISC 関連 |
| DCX | X 線センサー |
| DM | 磁気抵抗素子 |
| DS | 光学エンジン |

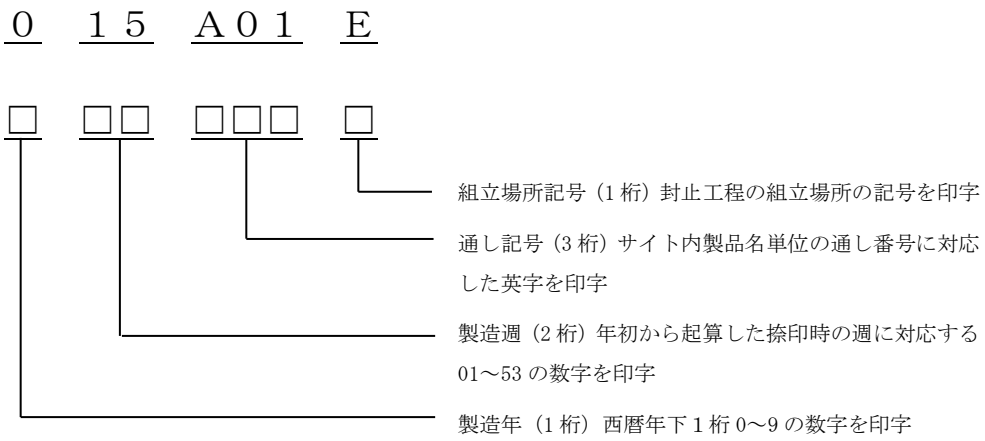
© 2018 Sony Semiconductor Solutions Corporation

| カテゴリー分類 | 内容 |
|---|---|
| DS- | 光学エンジン用サービスパーツ |
| ECX | 有機ＥＬ |
| GXB | GPS モジュール品 |
| ICX | CCD イメージセンサー |
| ILX | CCD リニアセンサー |
| IMX | CMOS イメージセンサー |
| ISX | CMOS イメージセンサー SoC（System On Chip） |
| IU | CCD レンズモジュール／CMOS レンズモジュール |
| IUS | カメラモジュール |
| IWF | 有償支給用ウェーハ基板 |
| JSX | 実装ビジネス製品 |
| LCX | 高温プロセス LCD |
| MCB | カメラモジュール（センサー＋ISP） |
| MXC | MEMS チップ |
| MXL | MEMS モジュール（光学系） |
| MXR | MEMS モジュール（RF 系） |
| MXS | MEMS モジュール（センサー系） |
| PHD | フォトダイオード |
| RCX | 高温プロセス LCD 関連部品 |
| SAS | 光通信モジュール |
| SGH | HEMT |
| SGM | MES FET |
| SLD | レーザーダイオード（基本） |
| SLG | レーザーダイオード（マルチビーム VCSEL） |
| SLK | レーザーカプラなど光集積素子 |
| SLL | LED 関連 |
| SLN | レーザーダイオード（フレーム） |
| SLP | 化合物半導体を使用したフォトダイオード |
| SLU | レーザーダイオード（応用） |
| SXRD | 反射型 LCOS |

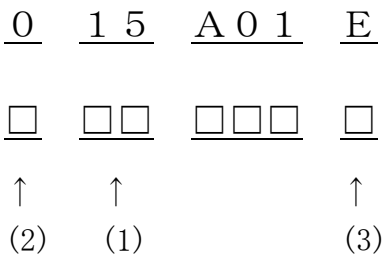
© 2018 Sony Semiconductor Solutions Corporation

(2) マークロットの表示

マークロット番号は製造年、製造週、通し記号、組立場所記号で構成され 7 桁で表示しています。




印字スペースの関係で 7 桁印字不可能な場合は次の優先順位に従い印字を省略します。




(1) 製造週を省略。

(2) 製造年を 2 進法で符号表記。

(3) 組立場所記号を省略。

© 2018 Sony Semiconductor Solutions Corporation

品質・信頼性ハンドブック　第 3 版

発行者　杉本　大

編者　宮本　秀範

発行所　ソニーセミコンダクタソリューションズ株式会社

印刷製本所　株式会社　アークコーポレーション

発行　2018 年 8 月

© Sony semiconductor solutions corporation